

Exercice 1 :

Soit un pipeline à 5 niveaux :

LI : lecture d'instruction

DI : décodage de l'instruction et lecture des registres

EX : exécution et calcul de l'adresse effective

MEM : accès mémoire ou fin de branchement

ER : écriture du résultat dans le banc de registres

Soit la boucle suivante

avec la spécification du tableau:

etiq : LW R1, 10(R2)

ADDI R1, R1, 1

SW R1, 10(R2)

ADDI R2, R2, 4

SUB R4, R3, R2

LW R5, 10(R6)

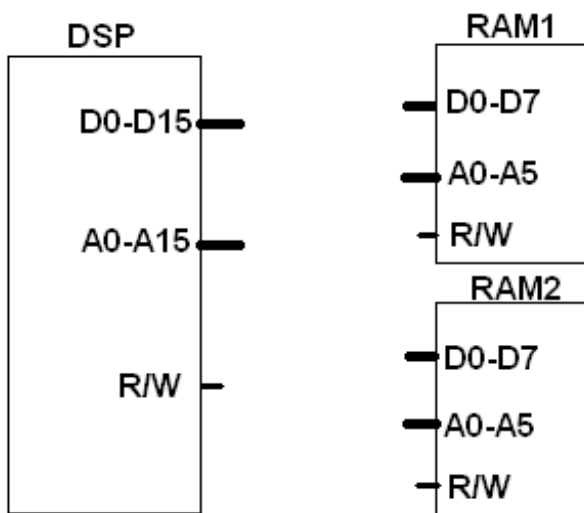
BNZ R4, etiq

Instructions pouvant être pipelinées	Cycle du pipeline où l'opération termine (le résultat étant disponible 1 cycle plus tard)
LW R1, 10(R2)	ER
ADDI R1, R1, 1	ER
SW R1, 10(R2)	MEM
SUB R4, R3, R2	ER
BNZ R3, etiq	EX

Donner le tableau du **Pipeline** d'exécution de cette boucle une seule fois ainsi que le nombre de cycles d'horloge nécessaire.

Instruction	t	t+1clk	t+2clk	t+3clk		...	...
n	LI	DI					
n+1		LI					
n+2							
....							

Exercice 2 :



- Compléter le schéma,
- Quel est la taille de chacune des deux mémoires
.....
.....
- Donner la capacité maximale d'adressage mémoire du DSP
.....
.....

Correction :

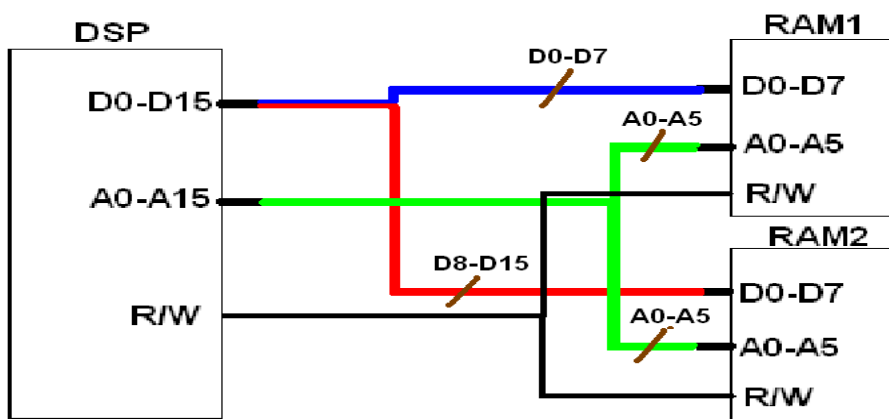
Exercice 1 :

Ce pipeline de 5 niveaux exécute la boucle en **10** cycles d'horloge

Inst	t	t+1 clk	t+2 clk	t+3 clk	t+4 clk	t+5 clk	t+6 clk	t+7 clk	t+8 clk	t+9 clk	
LW R1, 10(R2)	LI	DI	EX	MEM	ER						Unité N°1
ADDI R1, R1, 1		LI	DI	EX	MEM	ER					Unité N°2
SW R1, 10(R2)			LI	DI	EX	MEM					Unité N°3
ADDI R2, R2, 4				LI	DI	EX	MEM	ER			Unité N°4
SUB R4, R3, R2					LI	DI	EX	MEM	ER		Unité N°5
LW R5, 10(R6)						LI	DI	EX	MEM	ER	Unité N°1
BNZ R4, etiq							LI	DI	EX		Unité N°2

Exercice 2 :

1)



RAM1 = 2^6 octets = 64 octets ;
RAM2 = 2^6 octets = 64 octets
→ Taille totale = 128 octets
Ce DSP peut adresser au

maximum un espace de 2^{16} mots = $2^6 \times 2^{10}$ mots = 2^6 K mots = 64 Kmots = **128 Ko**

Avec : un mot = 2 octets