Les multivibrateurs à transistors bipolaires et à circuits intégrés

1. Introduction

Dans le chapitre précédent nous avons vu comment les circuits actifs fonctionnent en commutation.Ainsi,un transistor fonctionne en *régime de commutation* quand son courant base est soit très faible (*transistor bloqué*) soit très intense (*transistor saturé*). Vis-à-vis du générateur et de la résistance de collecteur, le transistor saturé se comporte comme un interrupteur fermé et le transistor bloqué comme un interrupteur ouvert (voir la figure 2). Dans ce type de fonctionnement, la puissance $P = V_{CE}.I_C$ dissipée dans le transistor est toujours faible. La durée de la commutation entre les deux états dépend du temps nécessaire à l'écoulement des porteurs en excès dans la base. Les transistors utilisés en commutation sont conçus pour que cette durée soit la plus faible possible.

INVERSEUR LOGIQUE : Si l'entrée du montage (résistance R_B) est reliée à E, la tension de sortie V_S est nulle. Si l'entrée est reliée à la masse, $V_S = E$. Si l'on convient de désigner par « 0 » une tension nulle et par « 1 » une tension égale à E, on constate que le montage étudié constitue un inverseur logique.

Nous allons étudier les multivibrateurs à deux étages couplés par réaction positive réalisés avec des transistors fonctionnant en régime de commutation ou encore réalisés par des circuits intégrés spécifiques

Les multivibrateurs sont des montages qui permettent de générer en sortie une tension rectangulaire donc les niveaux hauts et bas sont plus ou moins stables.

En fonction de cette stabilité, on distingue:

- ♦ Le bistable ou bascule : les deux états sont stables.
- ♦ Le multivibrateur astable : les deux états sont instables.
- ♦ Le monostable : seul un état est stable.

2. Les multivibrateurs bistables

2.1. Les multivibrateurs bistables à transistors

Considérons le montage suivant :

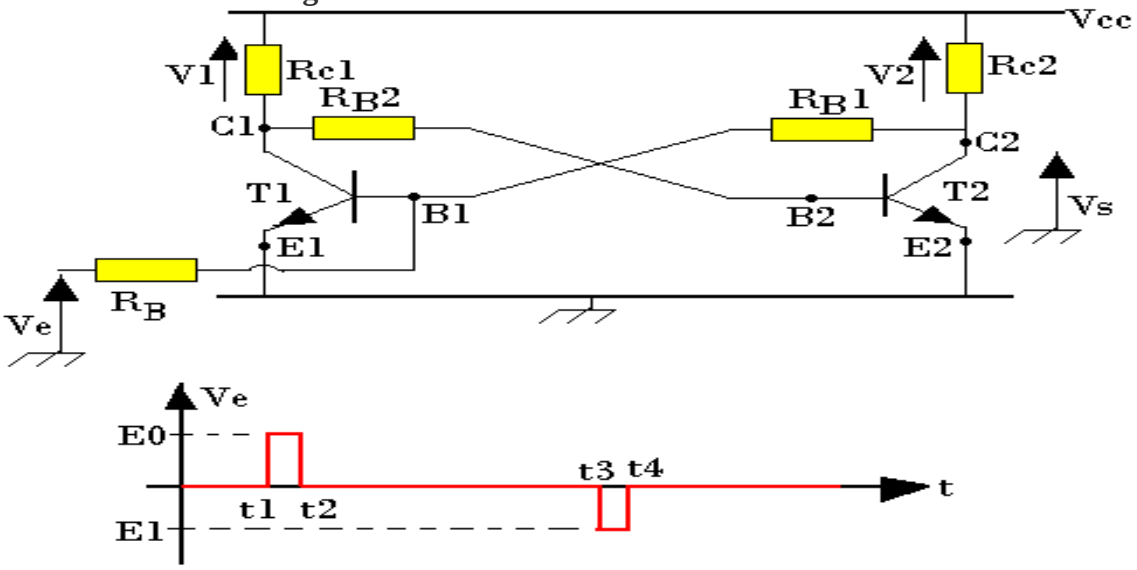


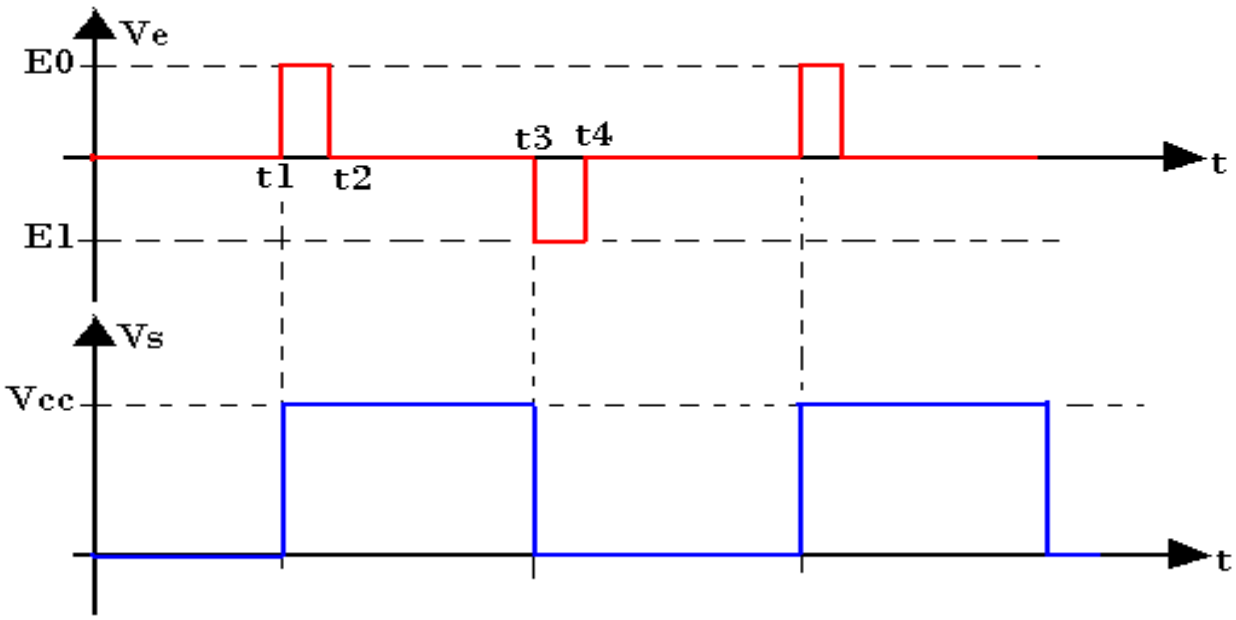
Schéma synoptique du bistable à transistors et allure de la tension d'entrée

Fonctionnement:

Au début en absence d'une impulsion de déclenchement, un transistor est bloqué et l'autre saturé. Supposons que T_1 soit bloqué et T_2 saturé.

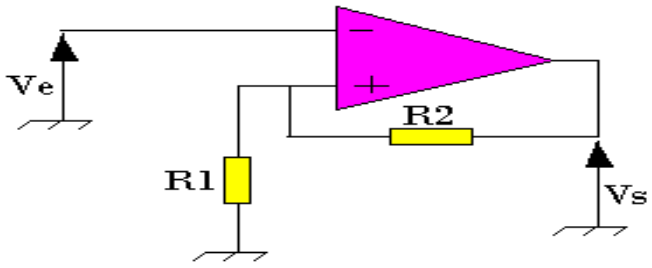
A l'instant t_1 on applique la première impulsion, le transistor T_1 se sature, ce qui met le collecteur de T_1 à la masse et entraîne le blocage de T_2.

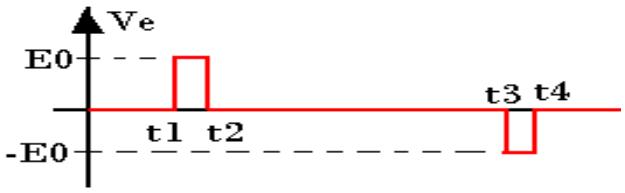
Après la disparition de l'impulsion à l'instant t_2, la saturation de T_1 est maintenue à travers R_{C2} et R_{B1}. La tension V_S est sensiblement égale à V_{CC}. A l'instant $t=t_3$ on applique une impulsion négative à la base deT_1. Le transistor T_1 se bloque et le blocage de T_1 entraîne la saturation de T_2. Après la disparition de l'impulsion, la saturation de T_2 est maintenue travers R_{C1} et R_{B2}. La sortie V_S=0.Ces différentes variations de tensions sont représentées sur la figure suivante.



Chronogramme de la variation de la tension de sortie V_S en fonction de celle de l'entrée

2.2.Bistable à ampli opérationnel





$e+ = \frac{R1.Vs}{R1 + R2}$ avec $E0 > \frac{R1.Vsat}{R1 + R2}$

Fonctionnement:

A t=t0, en l'absence d'une impulsion Ve=0 et $e+ = \frac{R1.Vsat}{R1 + R2}$

<=> Vs = Vsat

A t=t1, on applique une impulsion positive Ve=E0 > $\frac{R1.Vsat}{R1+R2}$

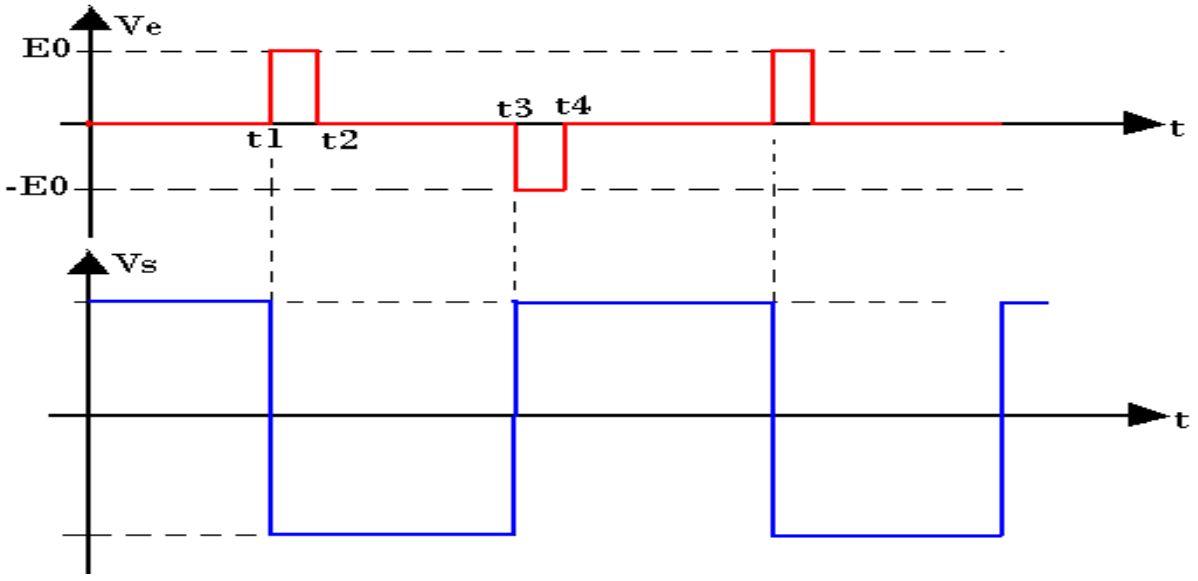
$Ved = \frac{R1.Vsat}{R1+R2} - E0 < 0$

La sortie va basculer et on aura Vs = -Vsat et $e+ = \frac{-R1.Vsat}{R1+R2}$

Après la disparition de l'impulsion d'horloge à l'instant t=t2 on aura:
Ve=0 <=> $Ved = \frac{-R1.Vsat}{R1+R2} - 0 < 0$ la sortie de l'ampli Op reste au niveau bas

A t=t3, on applique une impulsion négative Ve=-E0
$Ved = \frac{-R1.Vsat}{R1+R2} + E0 > 0$ la sortie bascule au niveau haut et on a
$Vs = Vsat <=> e+ = \frac{R1.Vsat}{R1+R2}$

A t=t4, l'impulsion disparaît Ve=0 <=> $Ved = \frac{R1.Vsat}{R1+R2} - 0 > 0$. La sortie de l'ampli OP reste au niveau haut.



Chronogramme de la variation de la tension d'entrée et celle de la sortie du bistable

3.Les multivibrateurs monostables

C'est un circuit ou montage qui possède 2 états (un état stable et un état instable), celui-ci étant à l'état stable une impulsion de commande ou de déclenchement le fait passer à l'état instable. La durée T de cet état instable est indépendante de la forme et de l'intensité de l'impulsion de commande mais dépend plutôt d'un réseau RC. Le monostable réalise une fonction de temporisation utilisée chaque fois que l'on souhaite déclencher un dispositif avec retardement. Suivant les montages ou les besoins de temporisation, la temporisation peut aller de quelques micros secondes à quelques heures.

3.1. Le monostable à transistor

Soit le circuit constitué de deux transistors

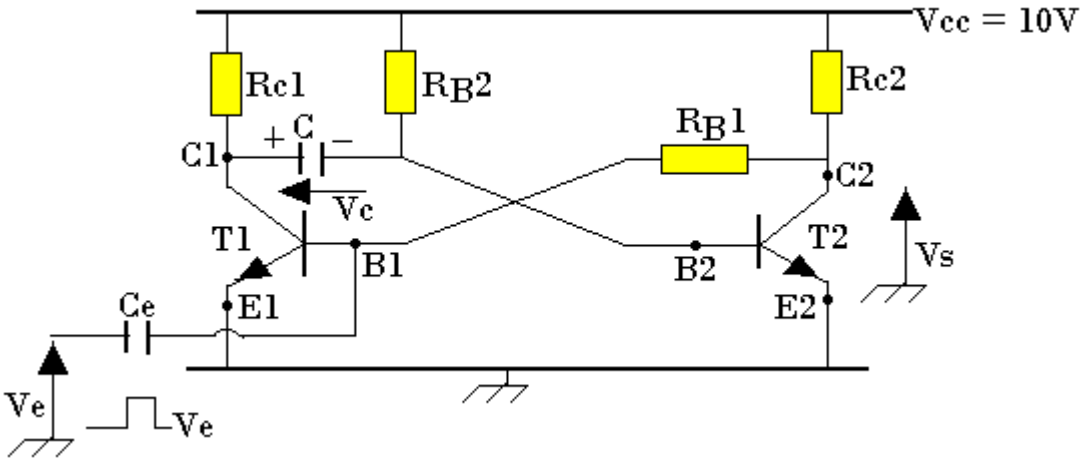


Schéma du circuit monostable à transistors

Fonctionnement:

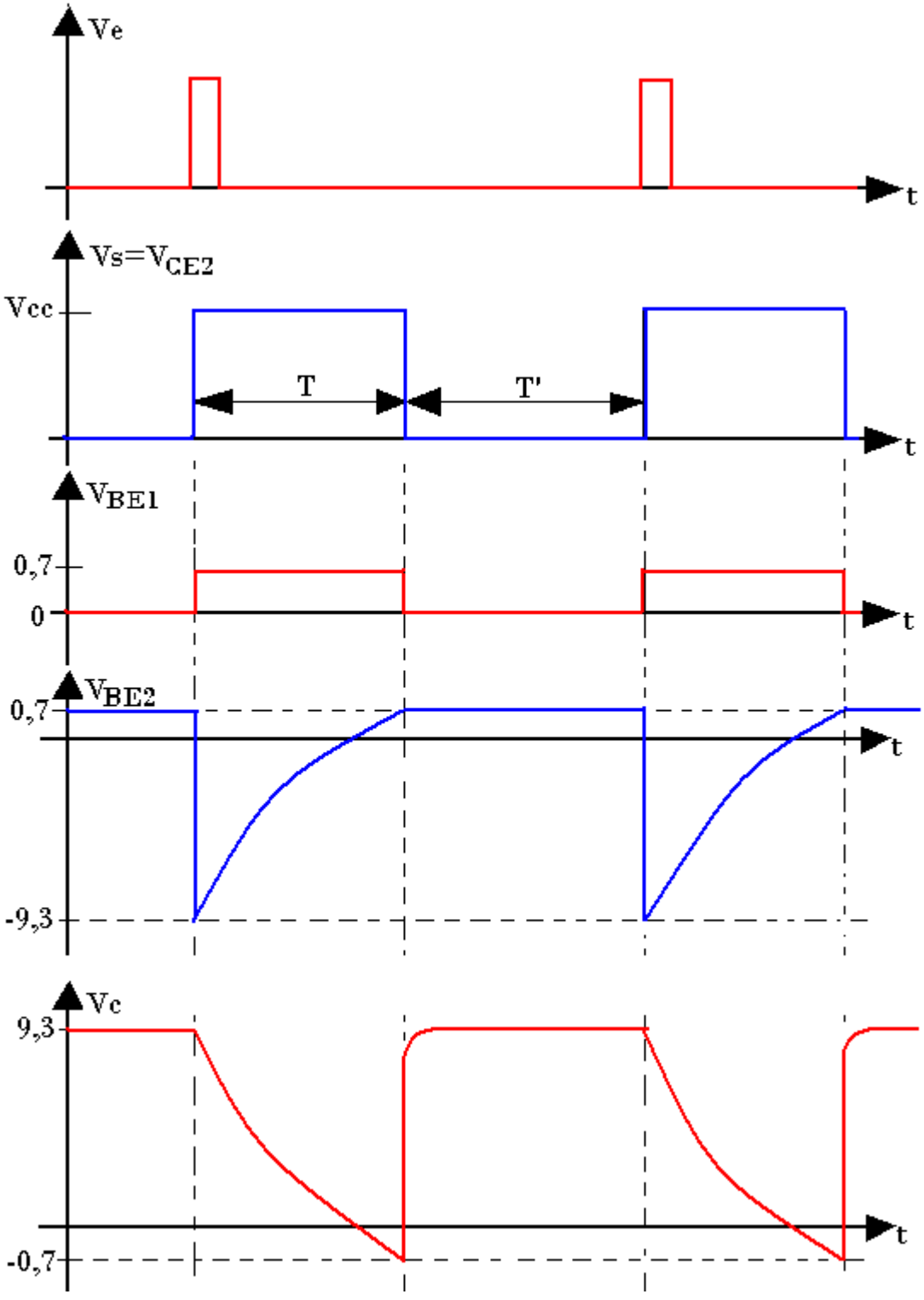
En absence de l'impulsion de déclenchement durant l'état stable, le transistor T_2 est saturé, la saturation de T_2 entraîne le blocage de T_1 car le colleteur du deuxième transistor est mise à la masse. Le condensateur C se charge rapidement à travers R_{C1} à une valeur $V_C=V_{CC}-V_{BE}=9,3V$. La saturation de T_2 est maintenue à travers la résistance R_{B2}

Lorsqu'on applique une impulsion d'amplitude suffisante à la base de T_1, le transistor T_1 se sature et la saturation de T_1 bloque T_2, car le collecteur de T_1 est mise à la masse et on aura $V_C+V_{BE2}=0$. La saturation de T_1 est maintenue après la disparition de l'impulsion à travers les résistances R_{C2} et R_{B1}. Le condensateur C va se charger en sens

inverse à travers R_{B2}. La tension V_C va donc passer d'une valeur positive à une valeur négative. Lorsque V_C sera égale à -0,7V ; V_{BE2}=0,7V, le transistor T_1 sera de nouveau bloqué, le système revient à son état initial. $T=0,7R_{B2}C$

Remarque:

Pour régler T, on peut ajuster R_{B2} et C, mais R_{B2} doit être inférieure à 500K (il faut pouvoir saturer T_2) et C<100µF (décharge destruction dans la base de T_2). Les temporisations pour les monostables à travers sont donc limitées à transistor sont donc limitées à quelqjues dizaines de seconde.



Chronogramme de la variation des différentes tensions régissant l e monostable

3.2.Monostable à ampli opérationnel

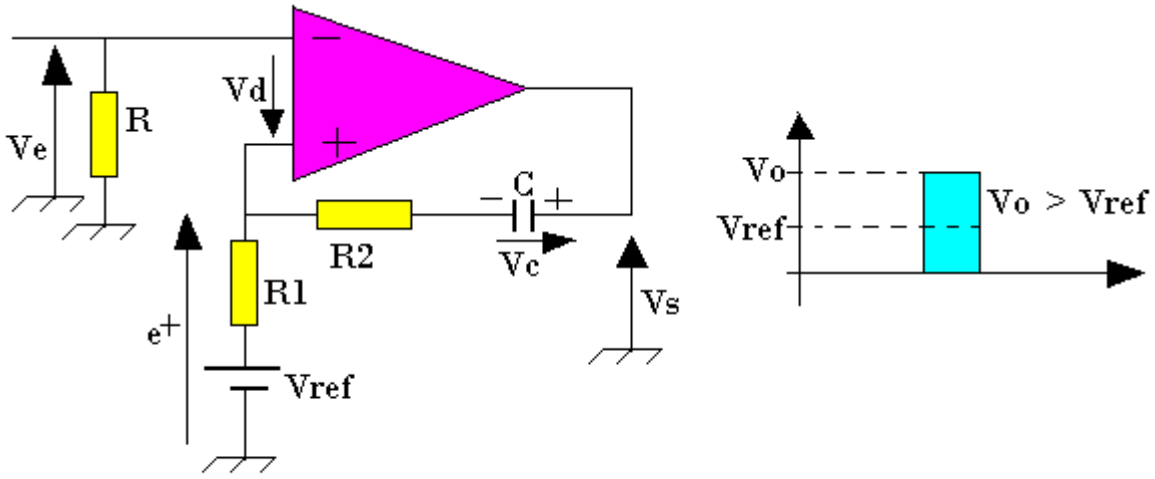


figure 1:

1Schema du monostable à ampli opérationnel et représentation de la tension de sortie en fonction de celle de l'entrée

Etude de la figure:

Etude de l'état stable:

A $t=t_0$; on a $V_e=0$; le courant $i=0$

$e^+=V_{ref}$ et $V_S=V_{Sat}$ et $V_C=V_{Sat}-V_{ref}$

Etude de l'état instable:

A $t=t_1$; $V_e=V_0$; $V_S=-V_{Sat}$ car $V_{ed}=V_{ref}-V_0<0$

La charge initiale du condensateur est $V_{Ci}=V_{Sat}-V_{ref}$

4. Les multivibrateurs astables

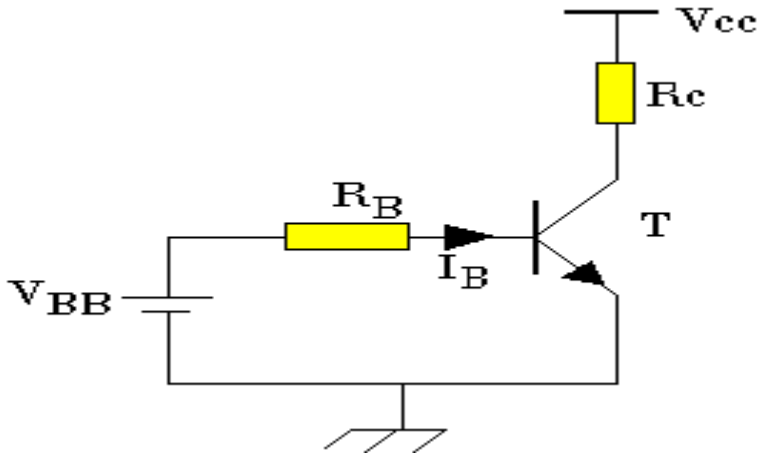
Un astable ou horloge est un dispositif qui charge d'état spontanément sans qu'il soit nécessaire de lui appliquer une impulsion de commande. Il délivre à sa sortie un signal rectangulaire caractérisé par sa période T et sont rapport cyclique $ß=T_1/T$

T_1: durée du niveau haut.

4.1. Les astables à transistors

4.1.1.Rappel sur le fonctionnement du transistor en commutation

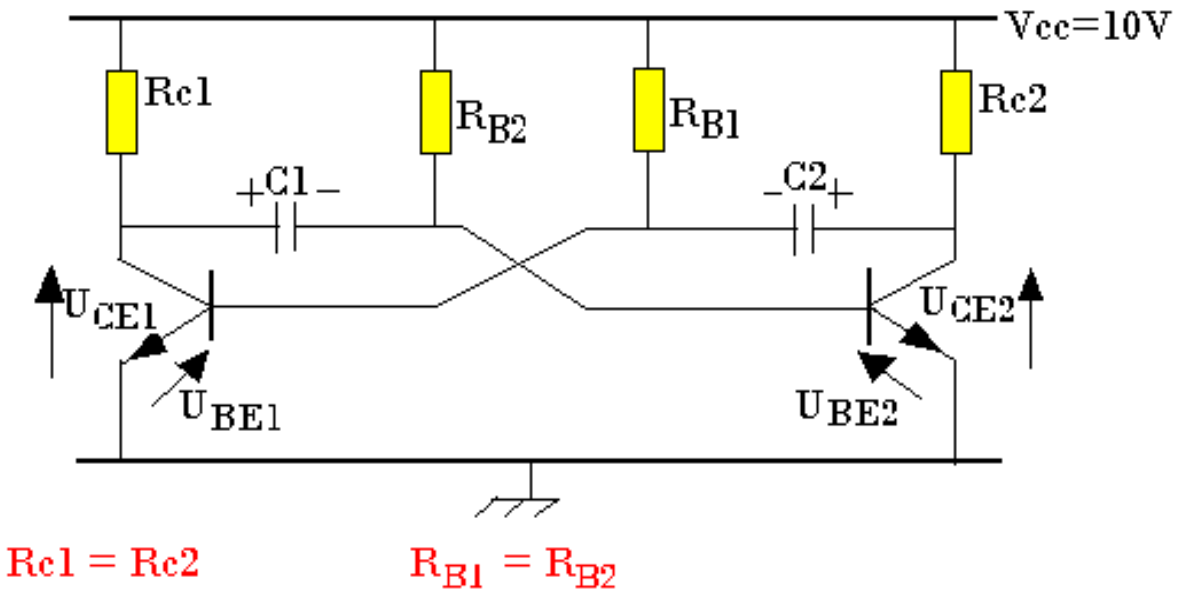
On dit qu'un transistor fonctionne en commutation lorsqu'il n'est en équilibre durable qu'à l'état saturé ou à l'état bloqué. Cela signifie que lorsqu'il passe de l'un à l'autre des états, la transition est très rapide. On définit généralement deux temps pour la commutation du transistor.
t_{on} : temps de passage de l'état bloqué à l'état passant.
t_{off}: temps de passage de l'état passant à l'état bloqué.
Ces temps sont faibles de l'ordre de t_{on}=60ns et t_{off}=450ns pour les transistor ordinaires et t_{on}<20ns et t_{off}<40ns pour les transistor de commutation.



Soit le schéma ci-dessus, le transistor T est dit saturé si les jonctions "base-émetteur" et "base-collecteur" sont polarisées en direct ou d'une manière pratique.

$I_B > I_C/ß_{min}$
$I_{Csat} = (V_{CC}-V_{CEsat})/R_C$
$0V < V_{CEsat} < 0,2V$
Or V_{CESat} varie de 0 à 0,2V pour les transistor ordinaires et peut atteindre 1V pour les transistors de puissance d'où $V_{CESat}=0$
$I_B = (V_{BB}-V_{BE})/R_B$
Plus R_B est petit, plus I_B est grand. On définit le I_B de juste saturation I_{BJS}
$I_{BJS} = I_{Sat}/ß_{min} = V_{CC}/R_Cß_{min}$
Pour une bonne conception, il faut que $I_B 10 I_{BJS}$. On appelle facteur de saturation de rapport de IB sur IB de juste saturation. Ce rapport doit être supérieur à 10 pour une bonne conception. Le transistor T sera bloqué lorsque les jonctions "base-émetteur" et "base-collecteur" seront polarisées en inverse. D'une façon pratique pour bloquer le transistor, il suffit d'annuler le courant IB pour cela il faut appliquer entre la base et l'émetteur une tension inférieure au seuil V_{BE}=0,7V pour le cas de notre schéma, il faut que V_{BB}<0,7V.

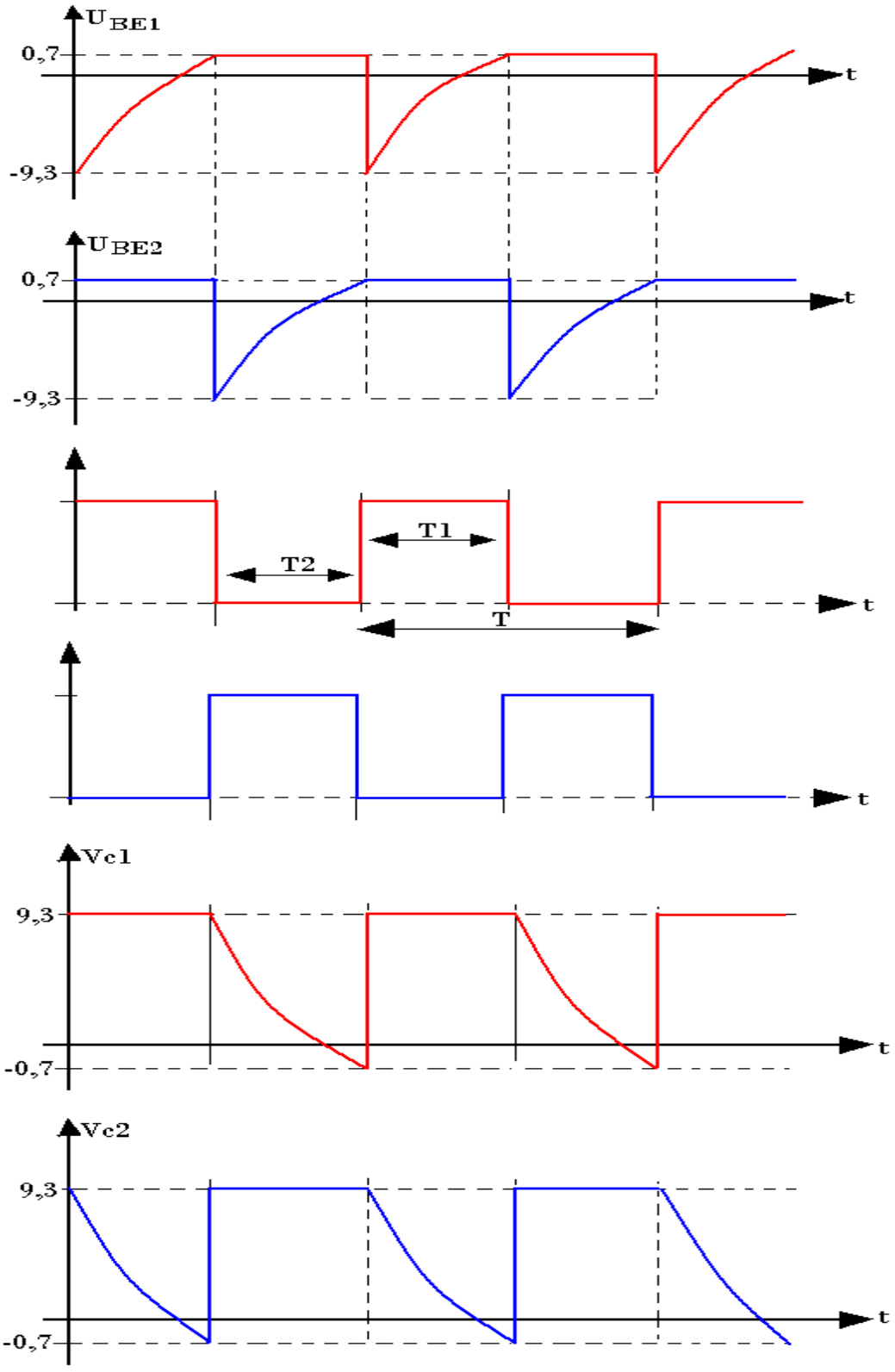
4.2. Etude du montage de base



Schema du montage astable à transistors

On suppose que au début les condensateurs sont déchargés au moment de la mise sous tension, les deux condensateurs se chargent rapidement à travers R_{C1} et R_{C2} et les jonctions "base-émetteur". Les deux transistors T_1 et T_2 tendent à ce saturer mais un va se saturer avant l'autre. Supposons que se soit T_1 qui se sature le premier. Si T_1 se sature cela signifie que U_{CE1}=0 l'armature positive de C_1 est mise à la masse et on a $V_{C1}+U_{BE2}=0$; $U_{BE2}=-V_{C1}$. Le transistor T_2 se bloque, le condensateur C_2 va se charger jusqu'à la valeur V_{C2}=10-0,7=9,3V. Une fois C_2 chargé, la saturation de T_1 est maintenue à travers R_{B1} Le condensateur C_1 est lentement chargé en inverse à travers la résistance R_{B2} la tension V_{C1} passe d'une valeur positive à une valeur négative et va tendre vers -10V mais cette tension ne va jamais atteindre cette valeur. Pour V_{C1}=-0,7V, le transistor T_2 va se mettre à conduire et va se saturer, ceci va entraîne que $V_{CE2}=0$; $U_{BE1}+V_{C2}=0$; $U_{BE1}=-V_{C2}$ et le transistor T_1 va se bloquer, le condensateur C_1 va se charger rapidement jusqu'à la valeur de 9,3V. Une fois C_1 chargé, la saturation de T_2 est maintenue à travers R_{B2}.

Le condensateur C_2 est lentement chargé en inverse à travers R_{B1}. La tension V_{C2} passe d'une valeur positive à une valeur négative, lorsque V_{C2}=-0,7V. T_1 va se remettre à conduire et le cycle recommence.



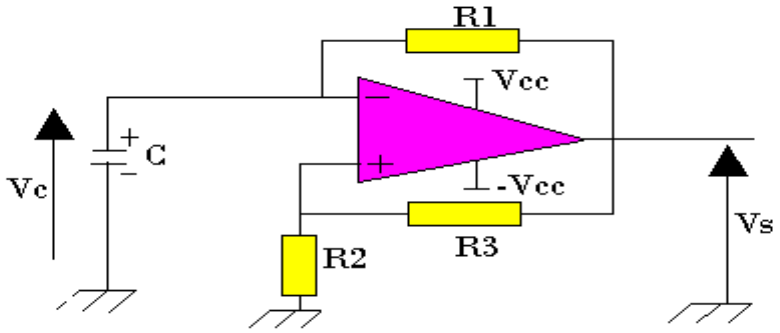
$T1 = 0{,}69R_{B1}.C_2 = 0{,}7R_{B1}.C2$

$T2 = 0{,}69R_{B2}.C_1 = 0{,}7R_{B2}.C1$

$T = T1 + T2$

Chronogramme de la variation des différentes tensions régissant l'astable

4. 3Astable à ampli opérationnel



$V_R = \frac{R2.Vs}{R2+R1}$ $\quad Vc = Vs - V_R = \frac{Zc.Vs}{Zc+R1}$

Lorsque Vs = Vsat <=> VR - Vc > 0

<=> VR > Vc

$V_H = \frac{R2.Vsat}{R2+R3} > Vc$ Le condensateur C se charge à travers R1

Vs = -Vsat <=> VR - Vc < 0 <=> VR < Vc

$V_B = \frac{-R2.Vsat}{R2+R3} < Vc$ Le condensatur se décharge à travers R1

Exemple:

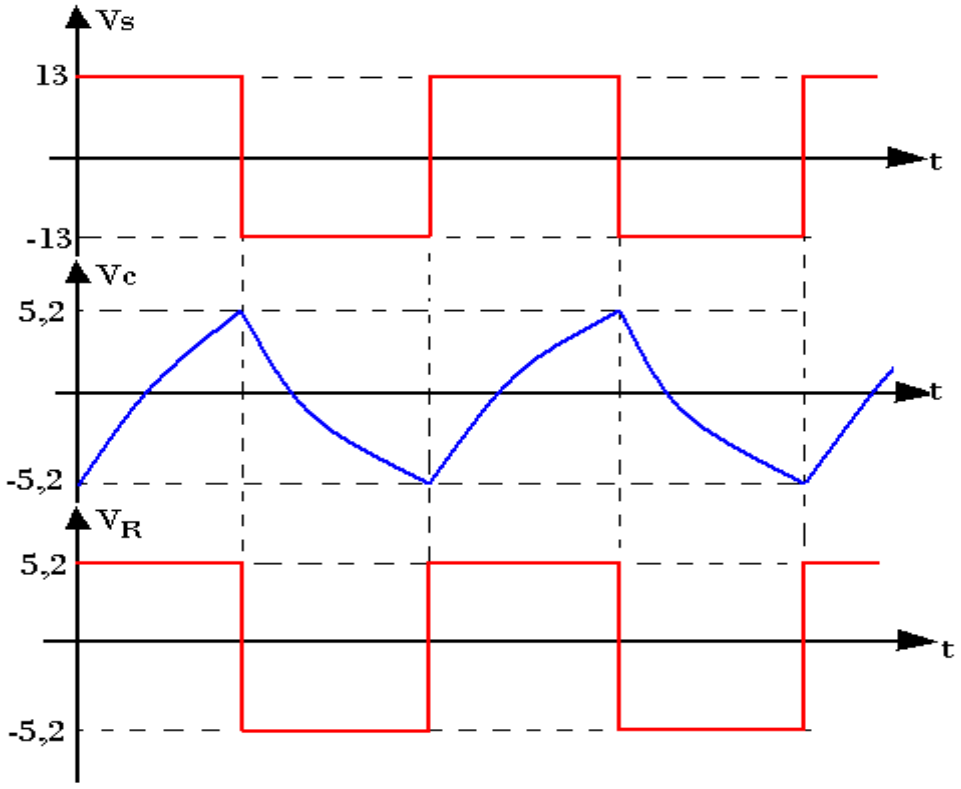
Vcc = 15V Vsat = 13V R2 = 1Kω R3 = 1,5Kω

R1 = 10K ω C = 100µF

$V_R = \frac{1}{1+1,5} \cdot Vs = 0,4Vs$

Vs = Vsat <=> $V_R = 5,2V = V_H$

Vs = -Vsat <=> $V_R = -5,2V = V_B$



Représentation ***de la variation des différentes tensions régissant l e monostable à ampli opérationnel***

4.4.Astable à NE555

4.4.1.Structure et fonctionnement du NE555

Structure

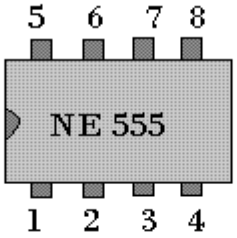


figure1: Brochage du NE 555

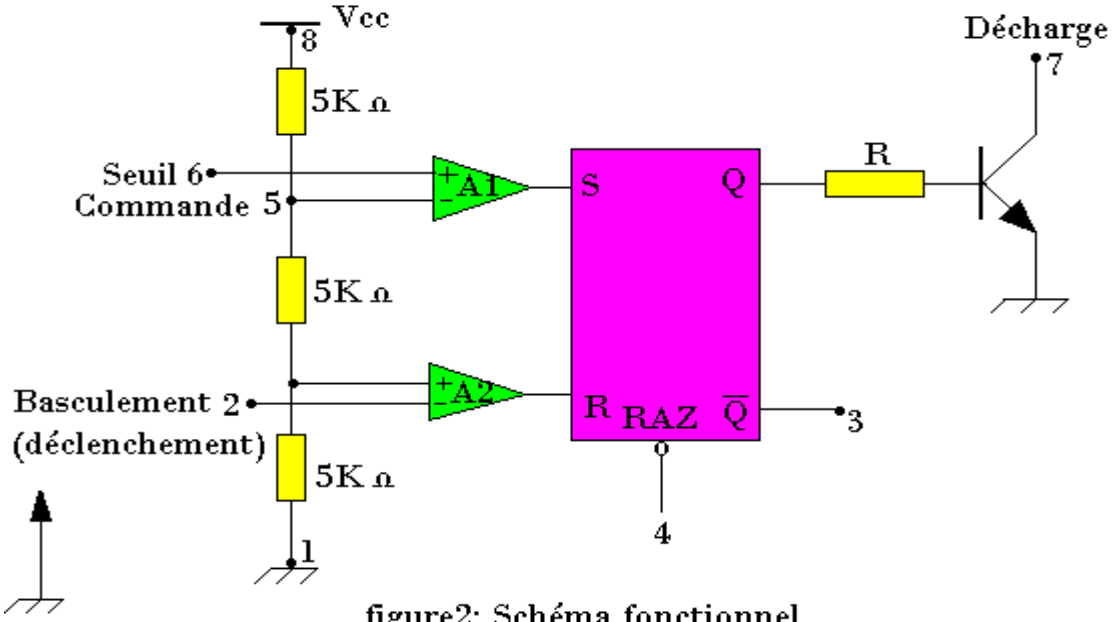


figure2: Schéma fonctionnel

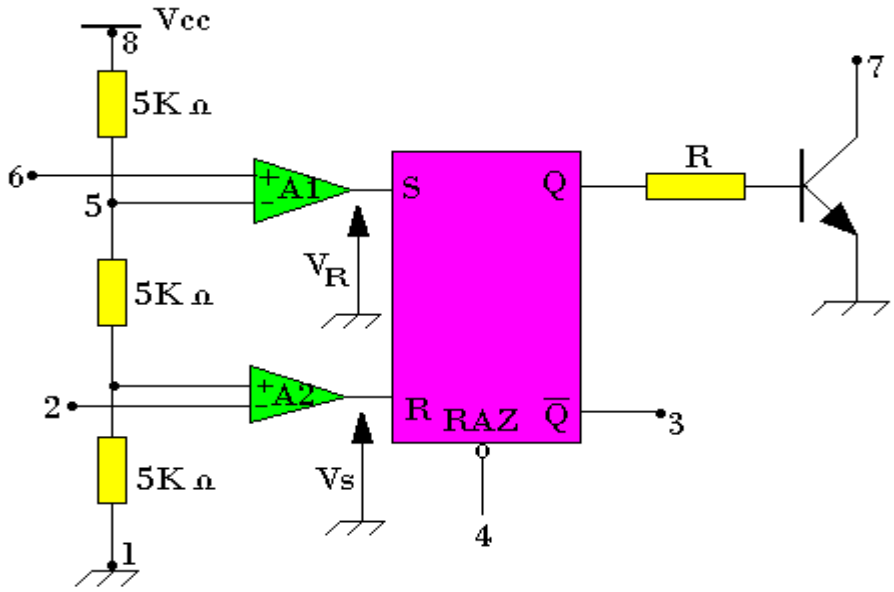


figure3: Schéma fonctionnel

R	S	Qn+1
0	0	Qn
0	1	1
1	0	0
1	1	Interdit

Description et fonctionnement

La NE555 est un circuit de 8 broches, sa tension d'alimentation varie entre 4V et 16V. Il est donc compatible avec les TTL et les CMOS. Il peut fournir un courant allant jusqu'à 200mA.
LA broche 8 est reliée à l'alimentation et la broche 1 est reliée à la masse. La broche 2 est reliée à l'entrée inverseuse du comparateur A_2, alors que l'entrée non inverseuse de A_2 donne une tension de référence égale à $1/3V_{CC}$. Lorsque $e^+_1 > e^-_2$ la tension V_S passe au niveau haut et la sortie de la bascule est mise à 1. Si $e^-_2 > e^+_2$ la sortie du comparateur reste au niveau bas.

La broche 6 est reliée à l'entrée non inverseuse du comparateur A_1 alors que l'entrée inverseuse sert de tension de référence et on a $2V_{CC}/3$. Lorsque $e^+_1 > e^-_1$ la sortie V_R passe au niveau haut et la bascule est remise à 0.
La broche 7 est reliée au collecteur d'un transistor commandé par la tension de sortie Q_{barre} (Q_{barre}: Q barre) de la bascule RS. Pour $Q_{barre}=0$, le transistor est bloqué et le circuit de sortie du transistor est ouvert. Pour $Q_{barre}=1$ le transistor est saturé et le circuit de sortie se comporte comme un court-circuit, c'est sur cette broche que sera raccordé les condensateur utilisés dans les applications du NE555. La broche 4 constitue la remise à 0 de la bascule. Elle a la priorité sur toutes les autres entrées. La broche 5 est souvent inutilisée, la broche 3 est la sortie.

4.4.2.Etude de l'astable à NE555

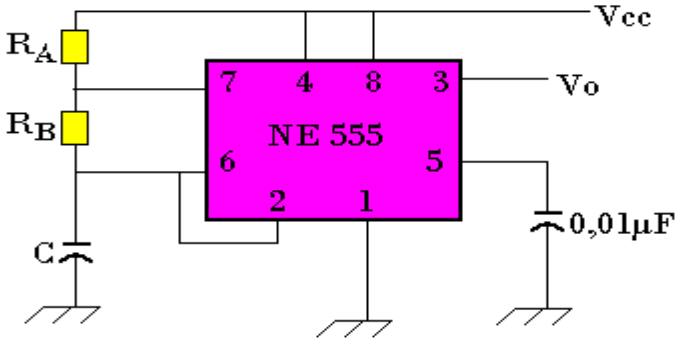


figure1: Astable à NE 555

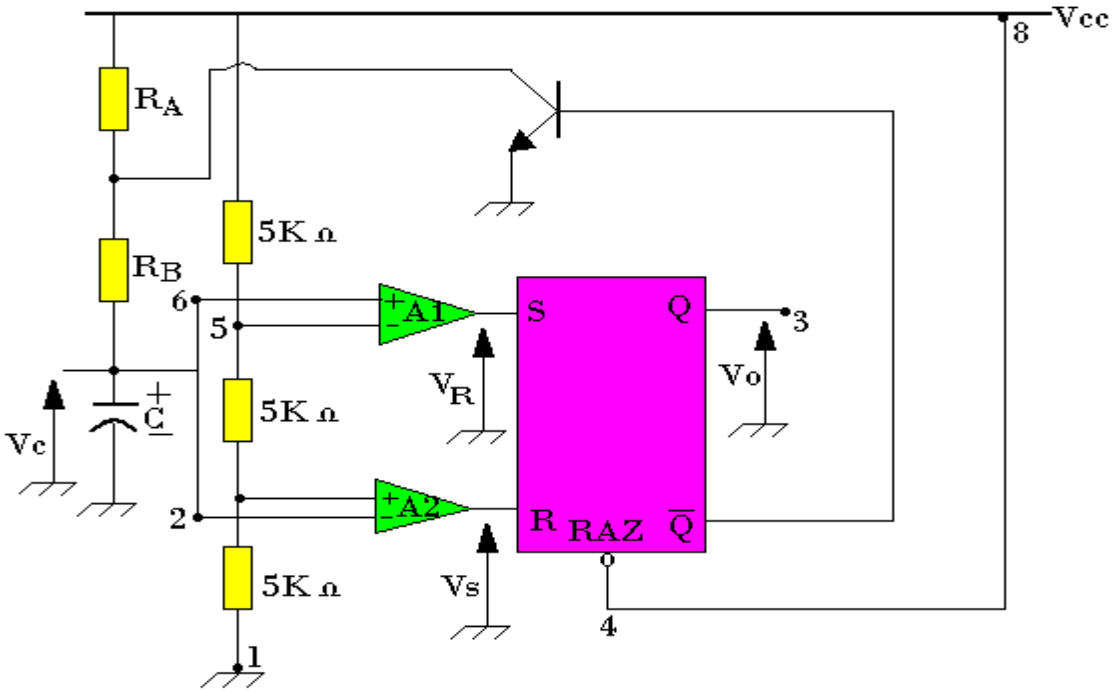
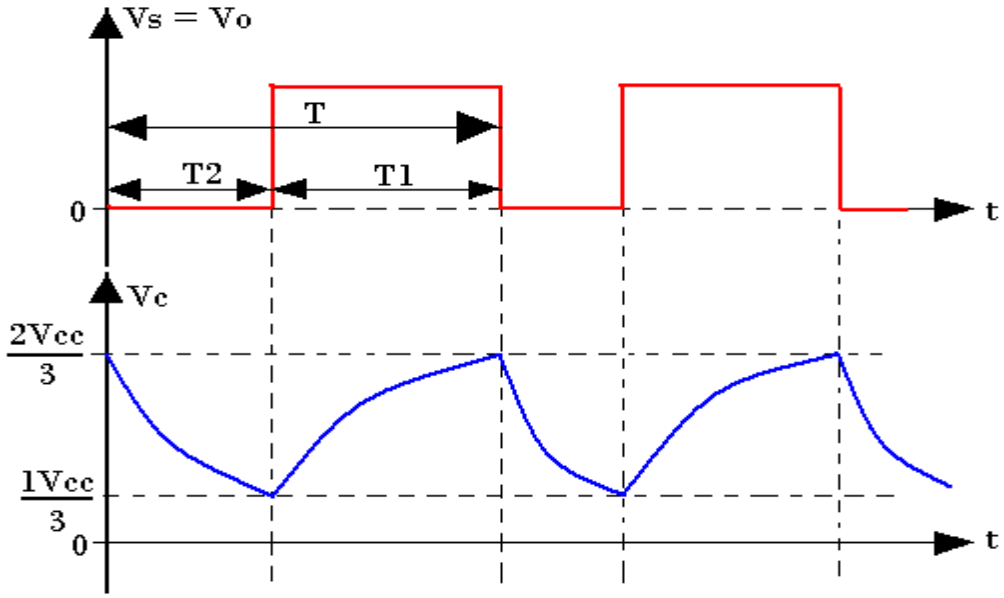


figure2: Astable à NE 555, schéma interne



Chronogramme de la variation des différentes tensions régissant l'astable NE 555

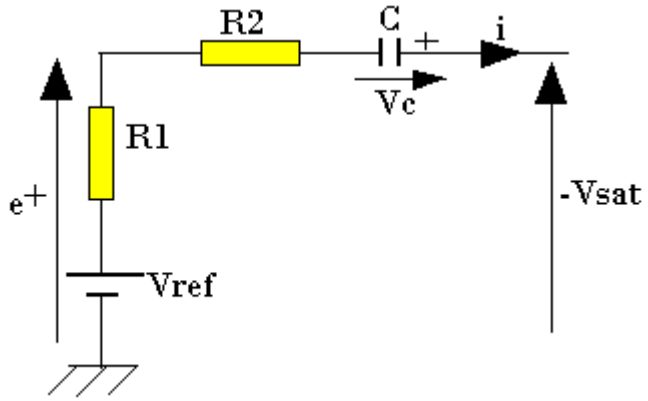
$T_1 = 0{,}7(R_A+R_B)C$ et $T_2 = 0{,}7R_BC$

$T = T_1 + T_2 = 0{,}7(R_A+2R_B)C$

<u>Fonctionnement</u>*:*

Nous nous plaçons en régime établi (permanant), le condensateur subit une succession de charge et de décharge évoluant entre $V_{CC}/3$ et $2V_{CC}/3$

Lorsque Q=1 ; Q_{barre}=0, le transistor est bloqué et le condensateur se charge jusqu'à la valeur de $2V_{CC}/3$ à travers les résistances R_A et R_B. Lorsque la tension V_C veut dépasser $2V_{CC}/3$, la sortie du comparateur A_1 passe à "1" et entraîne Q=0 et Q_{barre}=1, le transistor se sature et la broche "7" sera mise à la masse. Le condensateur va se décharger à travers R_B jusqu'à $V_{CC}/3$. Lorsque V_C veut aller en déca de $V_{CC}/3$, le comparateur A_2 passe à 1. Et fait basculer Q=1 et Q_{barre}=0 et le cycle recommence.



$$i = \frac{Vref + Vc + Vsat}{R1 + R2}$$

$$e+ = Vref - R1.i = Vref - R1\frac{Vref+ + Vc + Vsat}{R1 + R2}$$

$$e+ = Vref - R1\frac{Vref+Vsat - Vref + Vsat}{R1 + R2}$$

$$e+ = Vref - \frac{2R1.Vsat}{R1 + R2}$$

Le condensateur va se décharger en visant la valeur $-V_{Sat}-V_{ref}$. Cette décharge se passe à travers les résistances R_1+R_2 tant que $e^+<0$; $V_S=-V_{Sat}$ la fin de l'état instable correspond à $e^+=0$(instant t_3). A cet instant

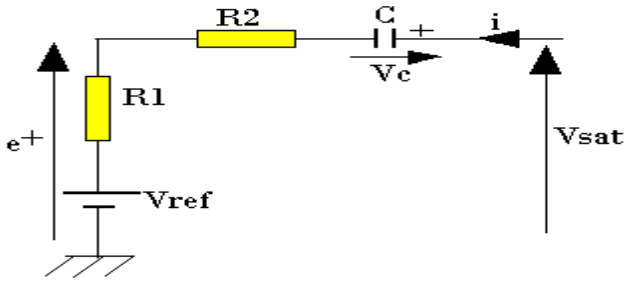
$$e^+ = 0 \quad <=> \quad Vref - R1\frac{Vref + Vc + Vsat}{R1 + R2} = 0$$

$$<=> \quad Vref(R1 + R2) = R1(Vref+Vc+Vsat)$$

$$<=> \quad Vref.R2 - R1.Vsat = R1.Vc$$

$$<=> \quad Vc = Vref.\frac{R2}{R1} - Vsat$$

- Etude de la phase de récupération:
  A $t=t_3$ il y'a basculement et on a $V_S=V_{Sat}$. Le condensateur C va se charger à nouveau à la valeur $V_{Sat}-V_{ref}$



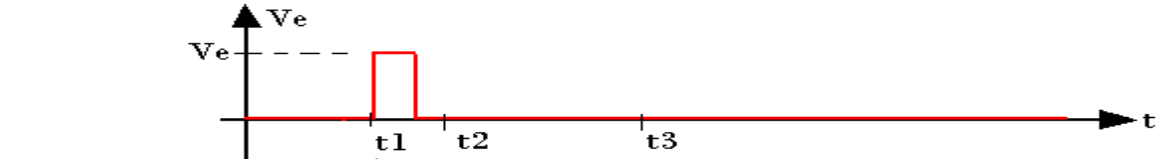
$$Vc = Vref.\frac{R2}{R1} - Vsat \qquad i = \frac{Vsat - Vc - Vref}{R1+R2}$$

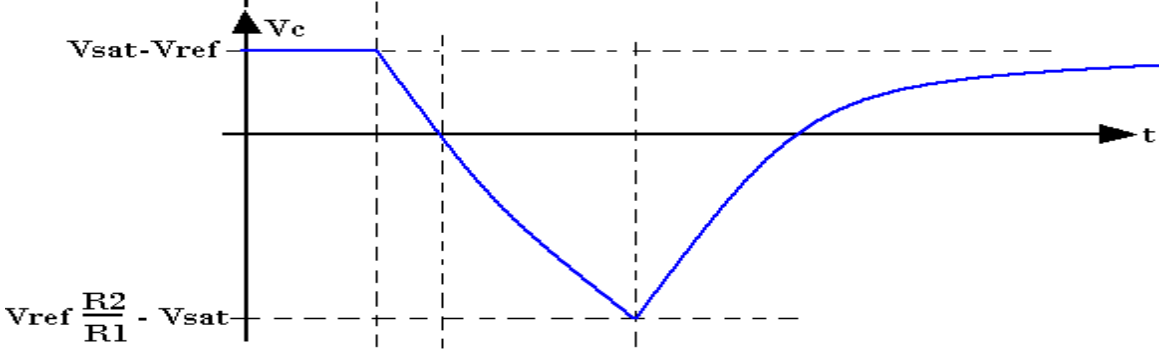
$$e+ = Vref + R1.i$$

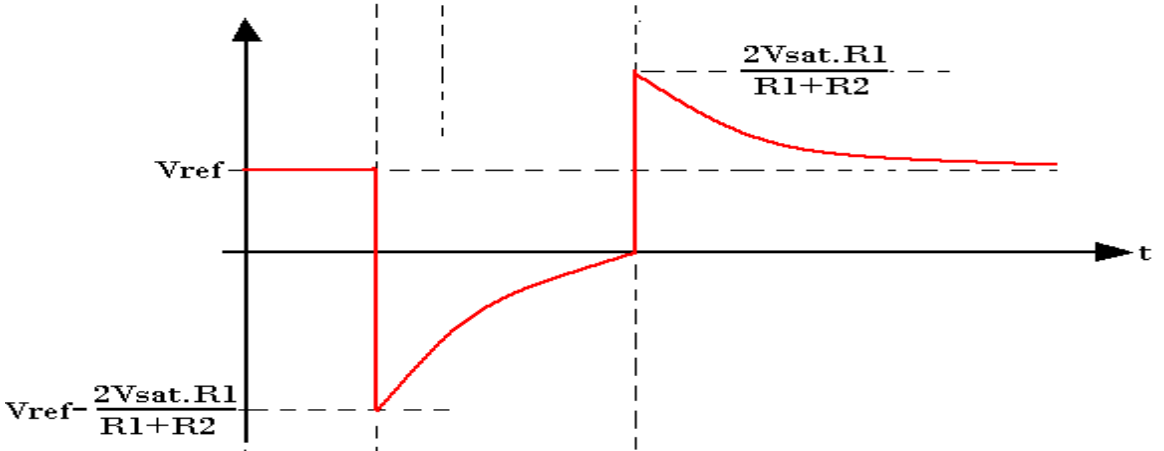
$$e+ = Vref + R1\left(\frac{Vsat - Vref.\frac{R2}{R1} + Vsat - Vref}{R1 + R2}\right)$$

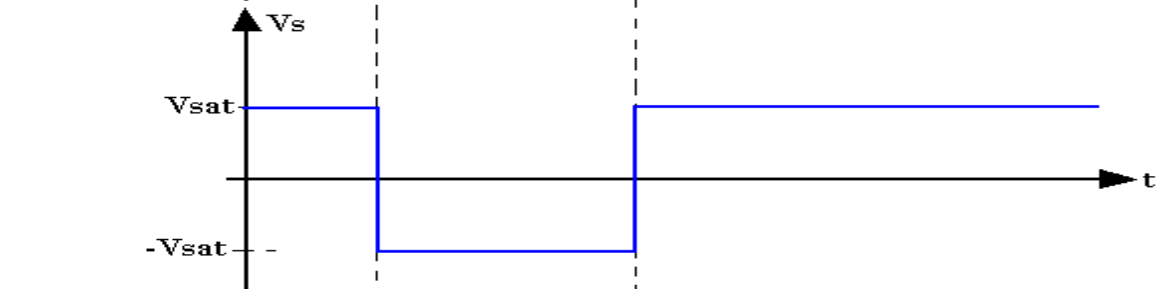
$$e+ = Vref + R1\left[\frac{2Vsat - Vref\left(1 + \frac{R2}{R1}\right)}{R1 + R2}\right]$$

$$e+ = \frac{2R1.Vsat}{R1 + R2}$$

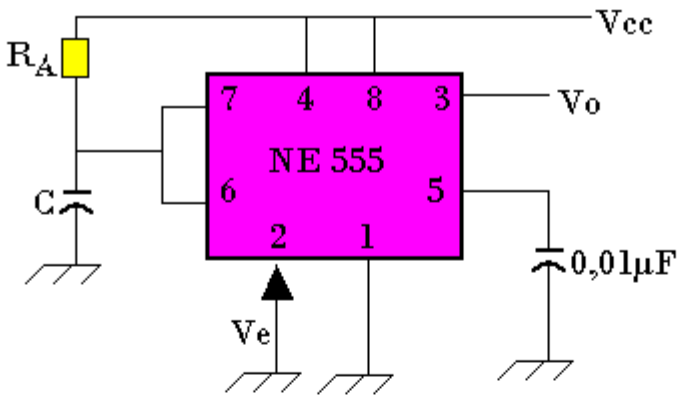


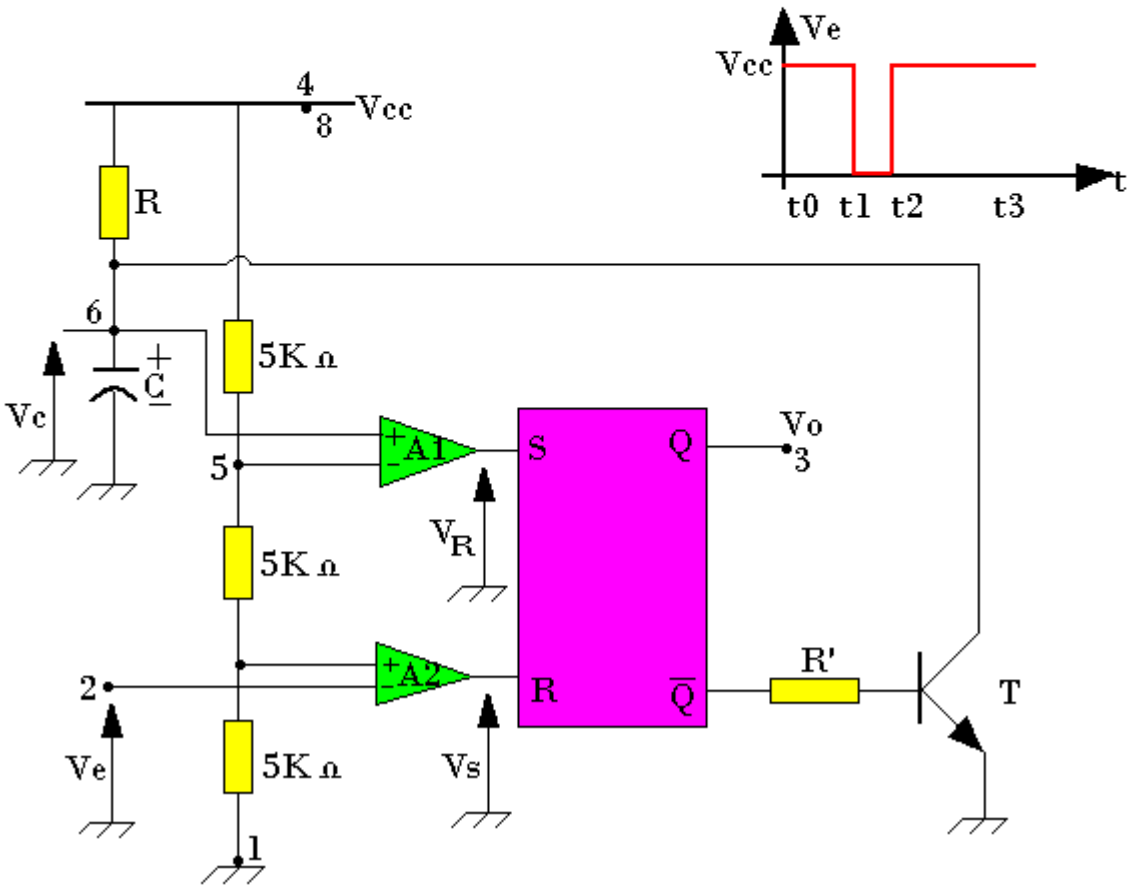






Monostable à NE555





Fonctionnement:

Q_{barre}=0 T bloqué, C se charge

Q_{barre}=1 T saturé, C se décharge.

Etude de l'état stable:

A t=t_0, le condensateur C est complètement déchargé, V_c=0, V_e=V_{cc} et S=0; R=0, le transistor étant saturé Q_{barre}=1 et Q=0

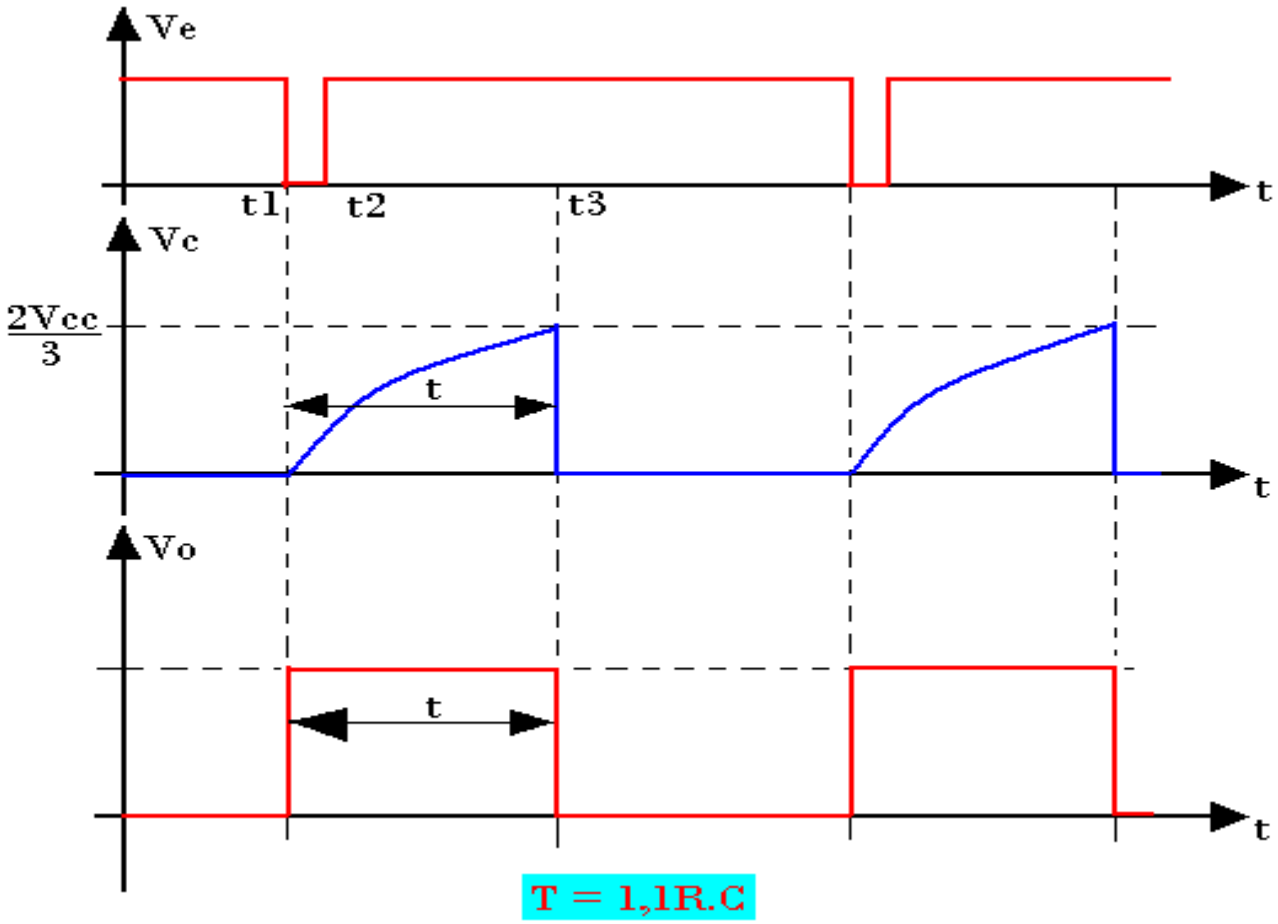
Etude de l'état instable:

A t=t_1 on applique une impulsion V_e=0V ; S=1 et R=0 ; Q=1 et Q_{barre}=0. Le transistor se bloque, le

condensateur se charge à travers R. Après la disparition de l'impulsion à l'instant $t=t_2$ on aura $V_e=V_{CC}$; S=0 R=0 d'où Q=1 et $Q_{barre}=0$, le transistor reste bloqué. L'état instable va prendre fin lorsque $Vs_c=2V_{CC}/3$

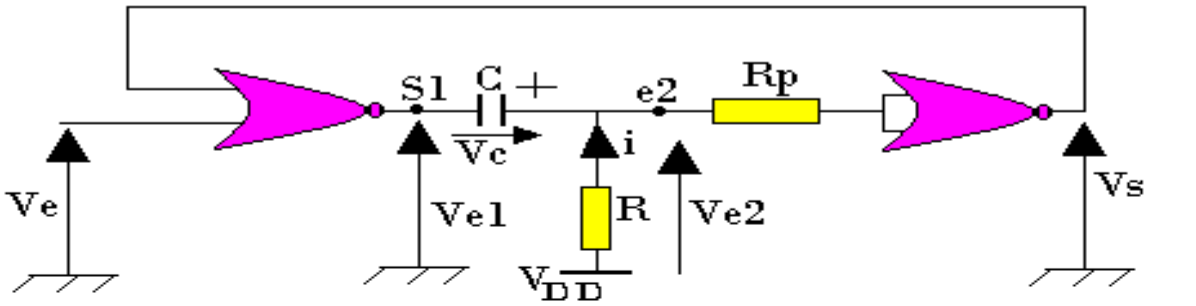
Etude de récupération:

A $t=t_3$ on a V_c est légèrement supérieure à $2V_{cc}/3$ R=1 et S=0 Q=0 et $Q_{barre}=1$, le transistor se sature et la patte 7 est mise à la masse, le condensateur se retrouve en court-circuit et se décharge donc très rapidement et on se retrouve à l'état initial.

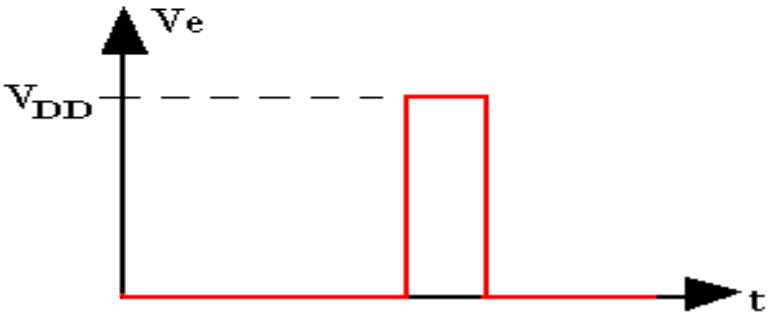


5.Monostable à portes logiques

5.1.Monostables à portes CMOS



A	B	A+B
0	0	1
0	1	0
1	0	0
1	1	0



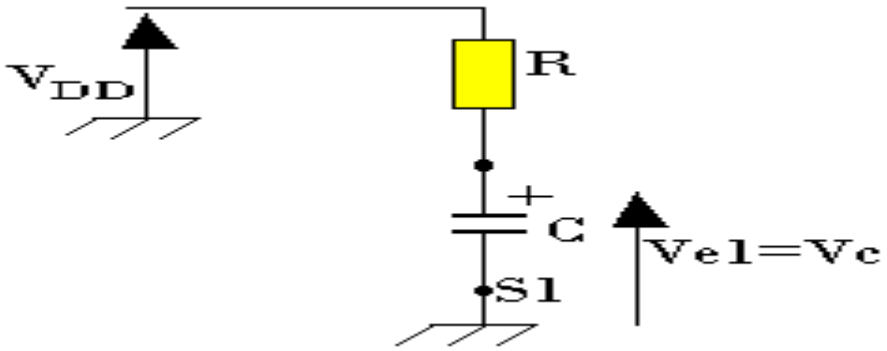
Fonctionnement:

Etude de l'état stable:

Le condensateur est complètement déchargé, le courant i=0, la tension $V_C=0$; $V_{e2}=V_{dd}$; $V_s=0$; $V_{S1}=V_{DD}$

Etude de l'état instable:

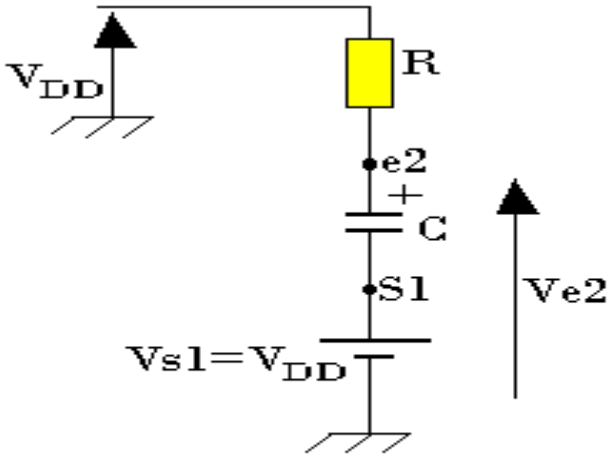
A $t=t_1$ on applique une impulsion de déclenchement positive: $V_e=V_{DD}$; $V_{S1}=0$; $V_C=0$; $V_{e2}=0$; $V_S=V_{DD}$



Le condensateur se charge en visant la valeur V_{DD} avec une constante de temps égale à RC.
A $t=t_2$-X juste avant le basculement $V_C=V_{e2}=½V_{DD}$

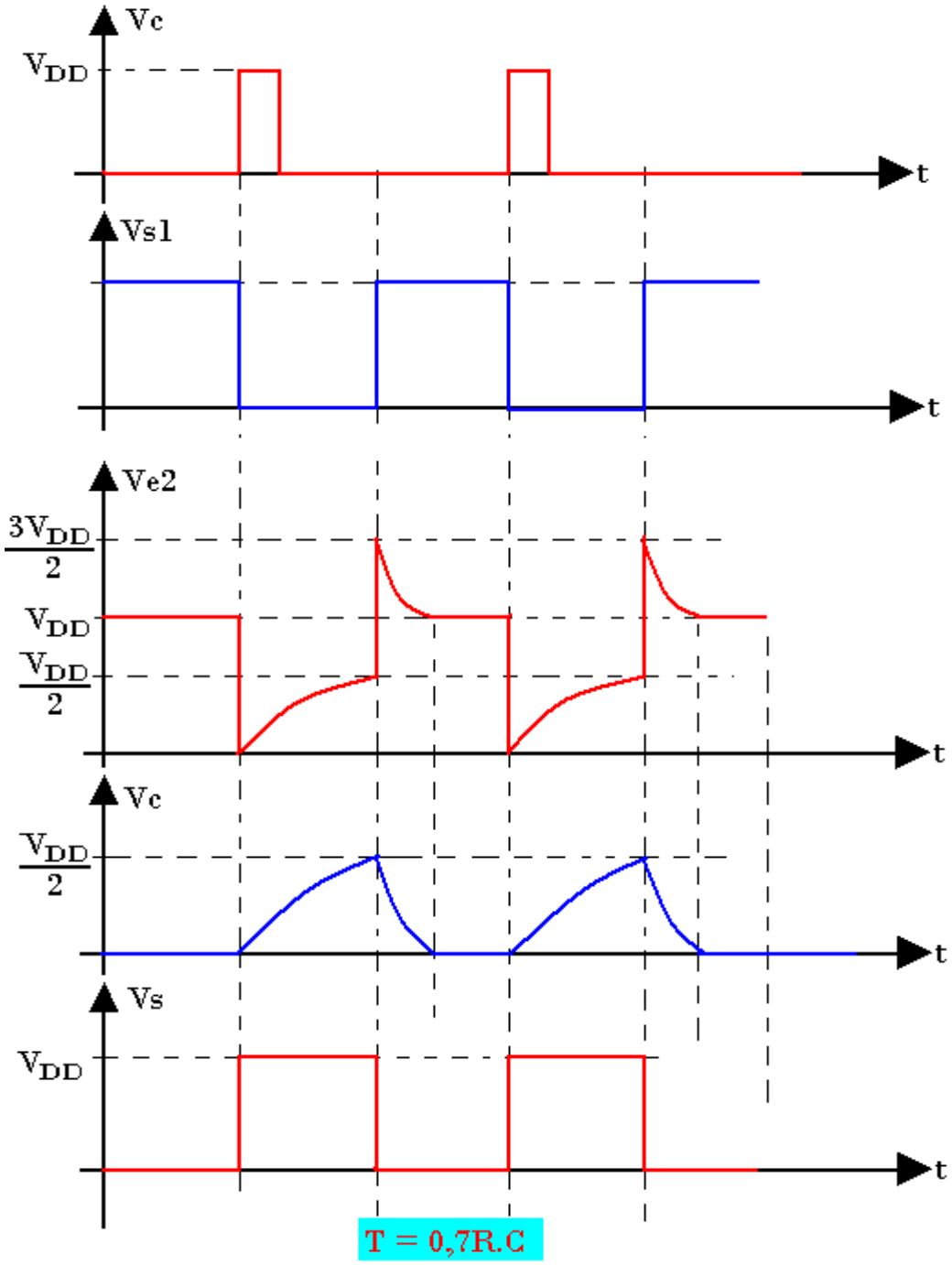
Etat de récupération:

A $t=t_2$ il y'a un nouveau basculement



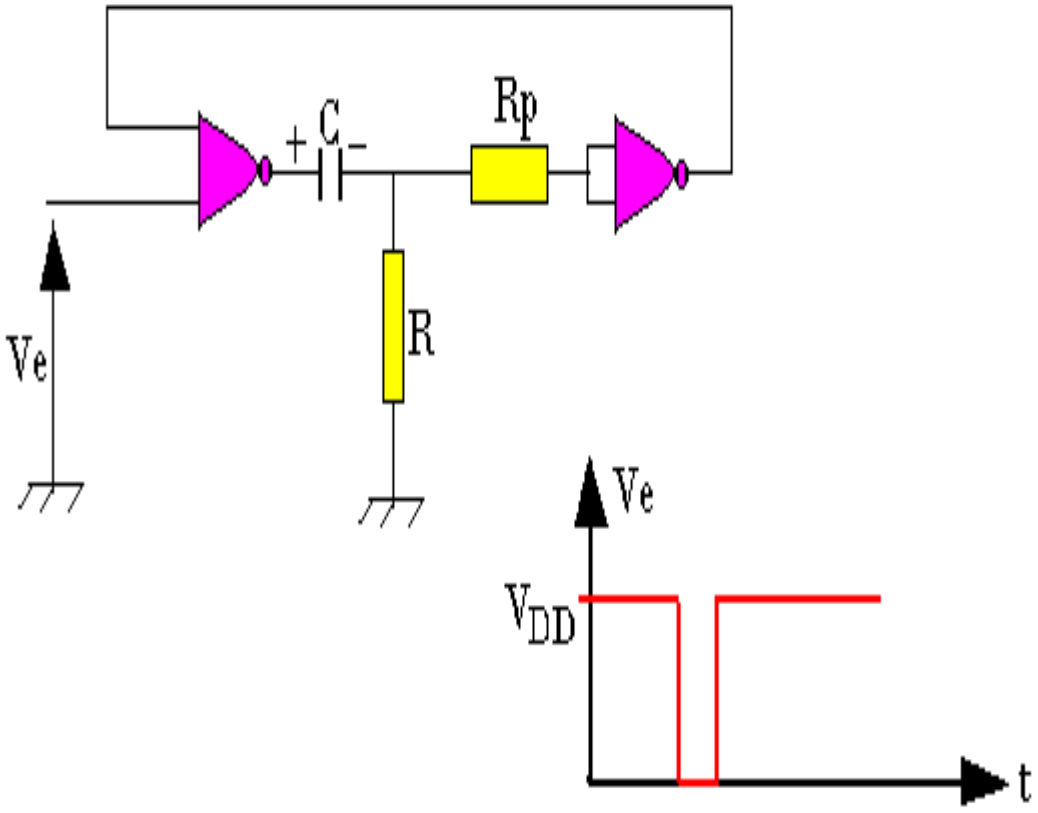
$$Vs = 0 \; ; \quad Vs1 = V_{DD} \; ; \quad Ve2 = V_{DD} + Vc = \frac{3V_{DD}}{2}$$

Le condensateur se décharge à travers R avec une constante de temps RC. V_{E2} décroît de $3V_{DD}/2$ à V_{DD}, on revient à l'état initial.

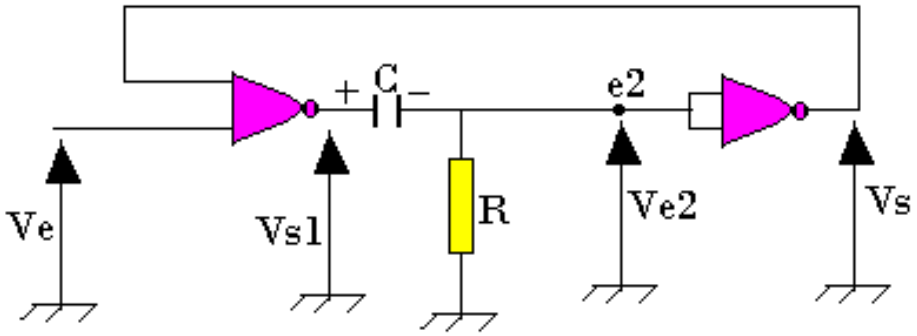


T=0,7RC

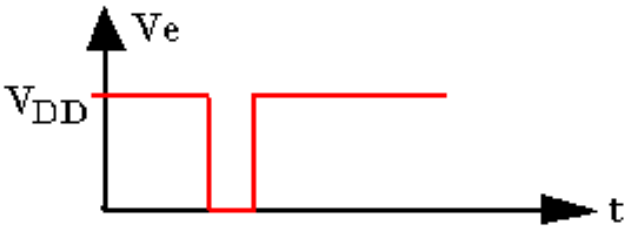
5.2.Monostable à porte NAN CMOS



5.3.Monostable à portes TTL



$V_o = 4V$
$V_B = 1,6V$



A	B	A.B
0	0	1
0	1	1
1	0	1
1	1	0

Fonctionnement:

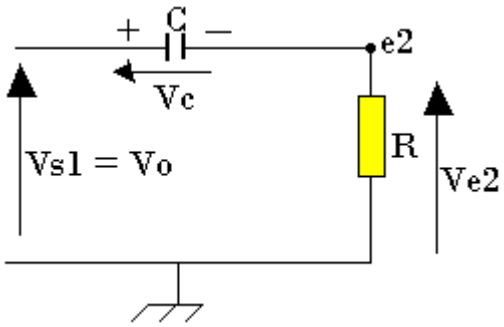
Etude de l'état stable:

A $t=t_0$; $V_e=V_0$ le condensateur est complètement déchargé: $i=0$; $V_C=0$; $V_{S1}=0$ et $V_e=0$ d'où $V_S=V_0$

Etude de l'état instable:

A $t=t_1$; $V_{e=0}$; $V_{S1}=V_0$

$V_{e2}=V_2$ car $V_C=0$ d'où $V_S=0$



Le condensateur se charge à travers la résistance R en visant la valeur V_0 avec une constante de temps RC. Cette phase prend fin à l'instant $t=t_2$-E ; $V_{e1}=1,6v=V_B$; $V_C=2,4V=V_A$

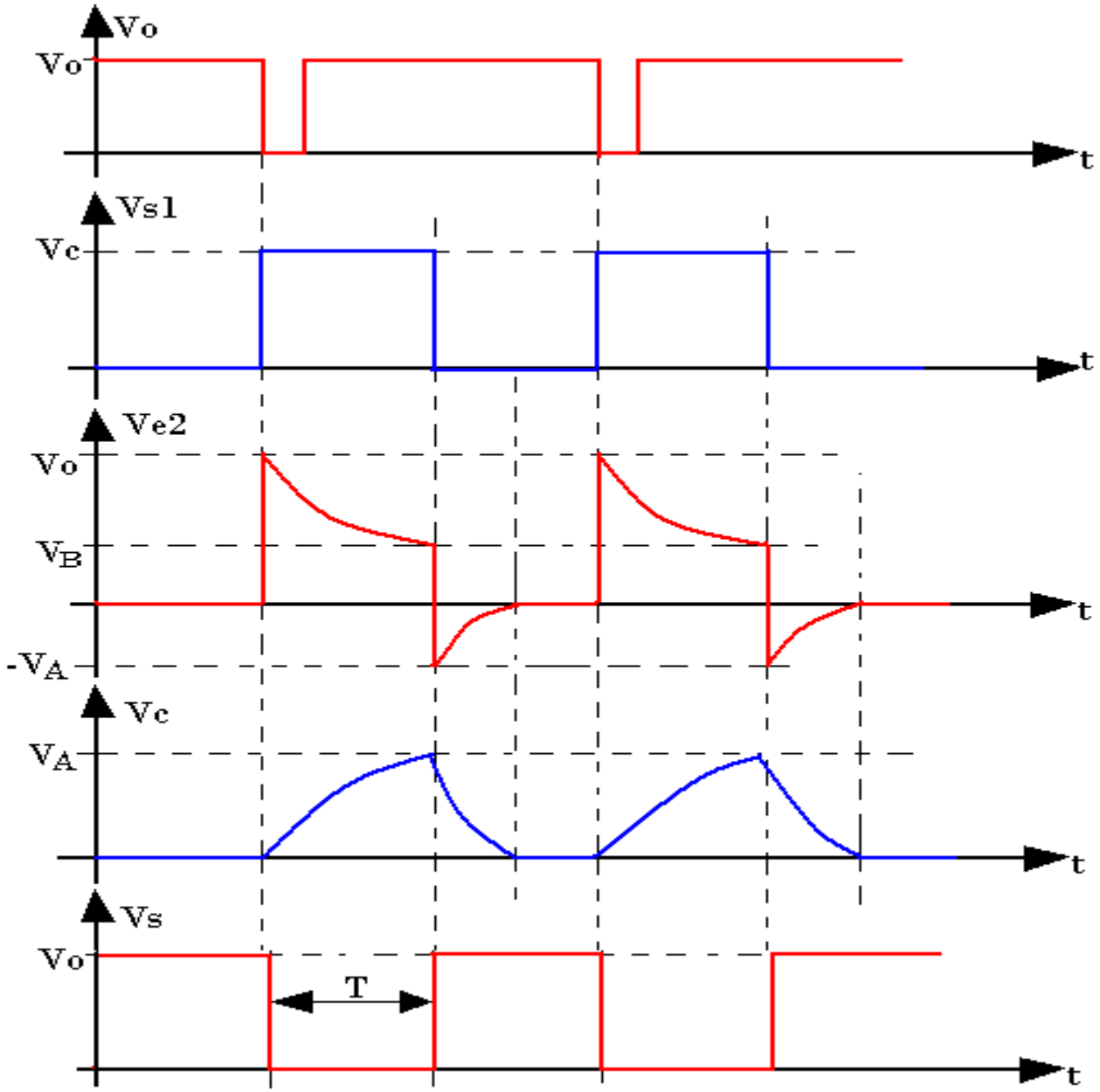
$V_{S1} - V_C - V_{E2} = 0$; $V_C = V_{S1} - V_{e2} = 4 -1,6$

$V_C = 2,4V$

Phase de récupération:

A $t=t_2$ il y'a un nouveau basculement. $V_S=0$; $V_{S1}=0$

Le condensateur se décharge à travers R jusqu'à la valeur $V_C=0$



$T = 0{,}45R.C$

Chronogramme de la variation des différentes tensions régissant l e monostable à portes logiques