

Formation Automatique et Informatique Industrielle

Master 1 S2

Matière : Systèmes Embarqués et Systèmes
Temps Réel SE-STR

Par : ATOUI Hamza

Plan du cours

- Les principales périphériques de PIC16F84A:
 - Les ports I/O.
 - Le TIMER0.

Les ports I/O

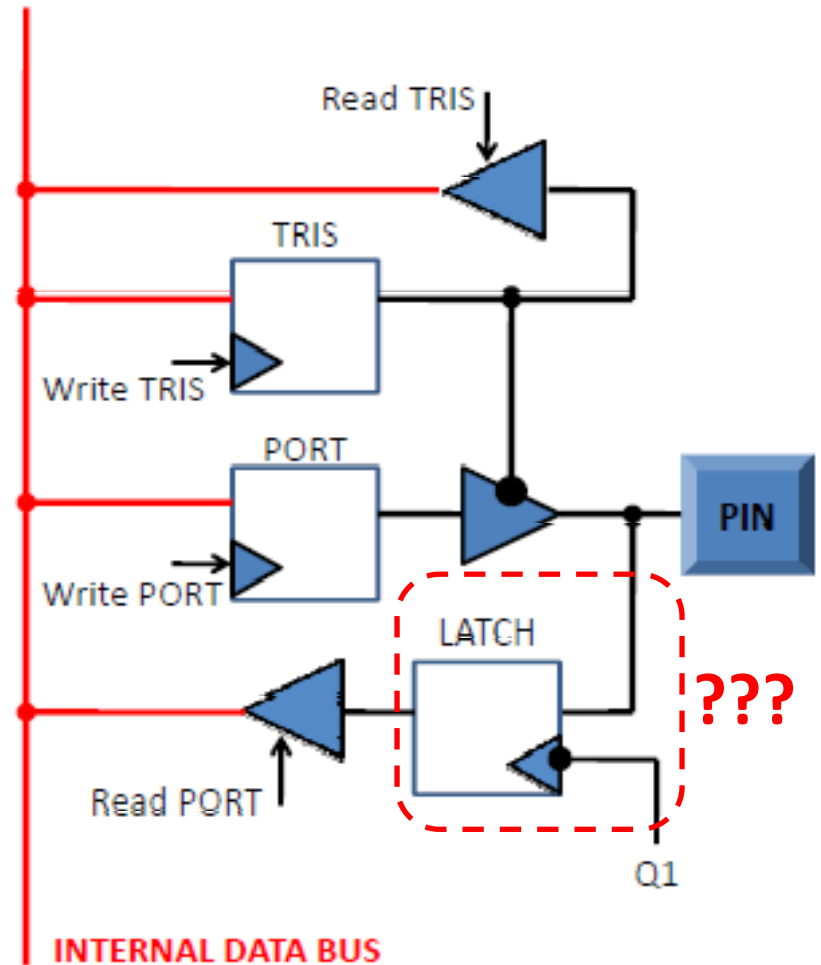
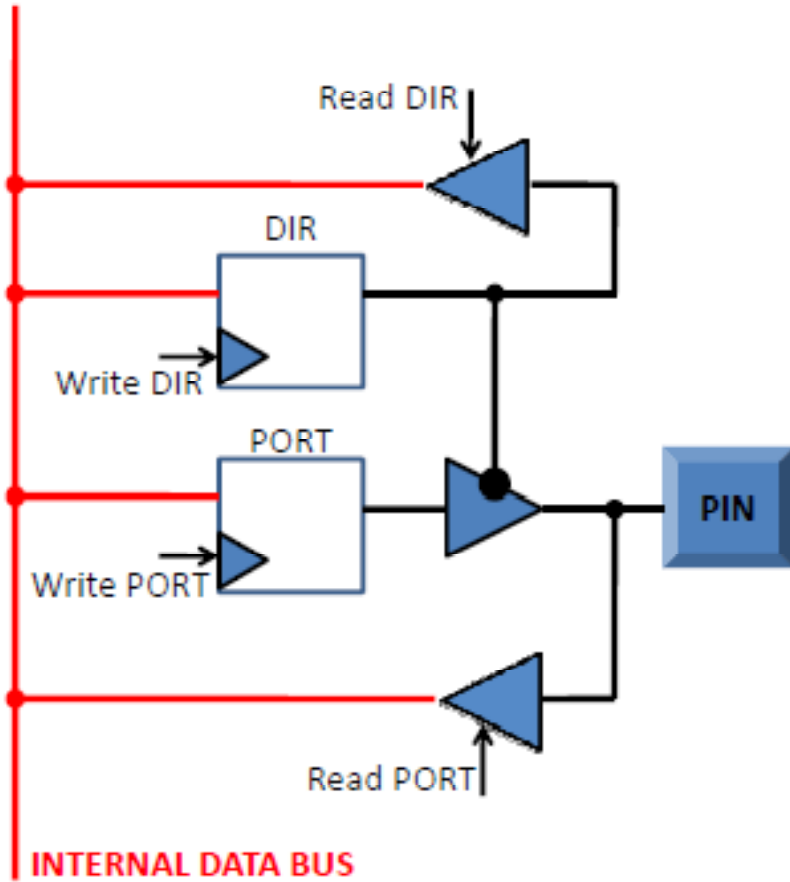
- Le rôle des ports I/O est d'assurer l'interaction avec notre environnement soit en lecture ou en écriture.
- L'électronique des I/O est une circuiterie à base de bascules et des buffers à 3 états.

Les PORTS I/O

- Comment utiliser ses éléments pour construire un port I/O ???
- **Cahier des charges :**
 - Une PIN peut être configurer soit en entrée ou en sortie.
 - Si la PIN est en sortie, donc elle garde son état jusqu'à la prochaine mise à jour.
 - Si la PIN est en entrée, donc elle donne l'état de la PIN en cours au moment de la lecture.

Les PORTS I/O

- Solution en générale :
- Solution de MICROCHIP :



Les ports I/O

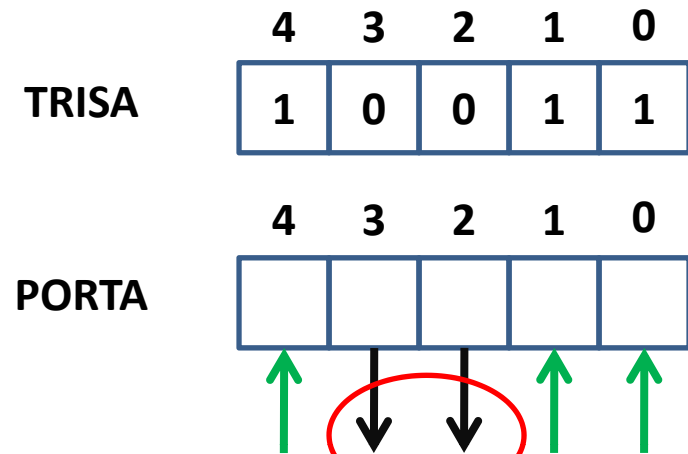
- Le PIC18F84A Possède 13 lignes I/O, 5 pour le PORTA et 8 pour le PORTB.
- On peut configurer chaque ligne individuellement soit en entrée ou bien en sortie à travers les registres TRISA et TRISB.
- Chaque port possède 2 registres :
 - PORTA, PORTB pour la communication I/O
 - TRISA, TRISB pour configurer les lignes I/O.

Les ports I/O

- Le PORTA se trouve dans la BANK0 à l'offset 05 (ADR9 = 005h).
- Le TRISA se trouve dans la BANK1 à l'offset 05 (ADR9 = 085h).

	BANK0	BANK1	
03h	STATUS	STATUS	03h
04h	FSR	FSR	84h
05h	PORTA	TRISA	85h
06h	PORTB	TRISB	86h
07h	—	—	87h

Exemple de configuration du PORTA

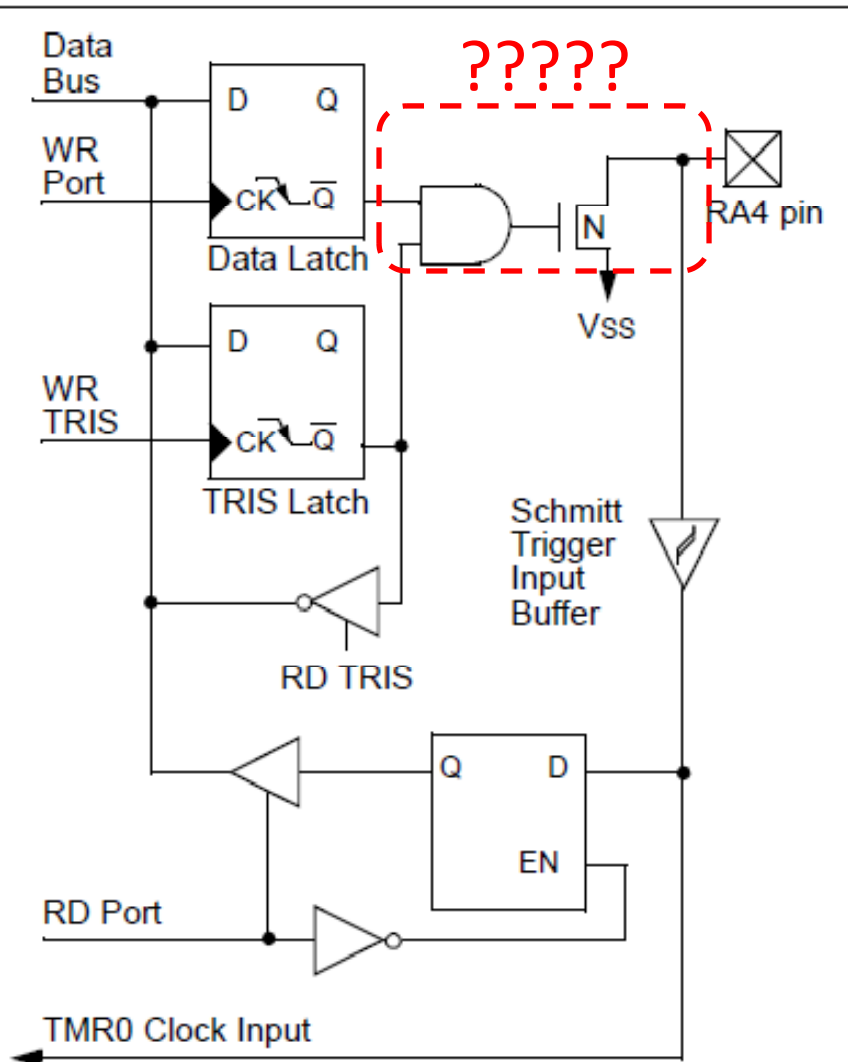


Les Lignes RA4, RA1 et RA0 sont en entrée

Les Lignes RA3 et RA2 sont en sortie

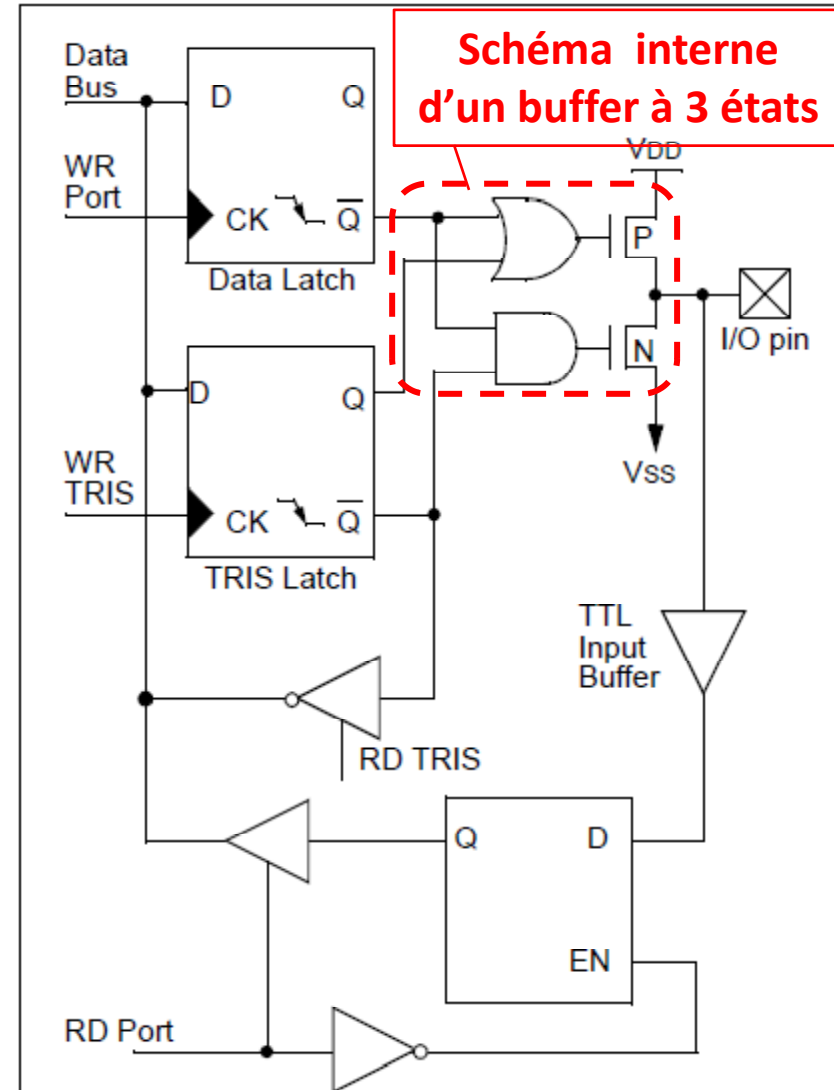
Les ports I/O

BLOCK DIAGRAM OF PIN RA4



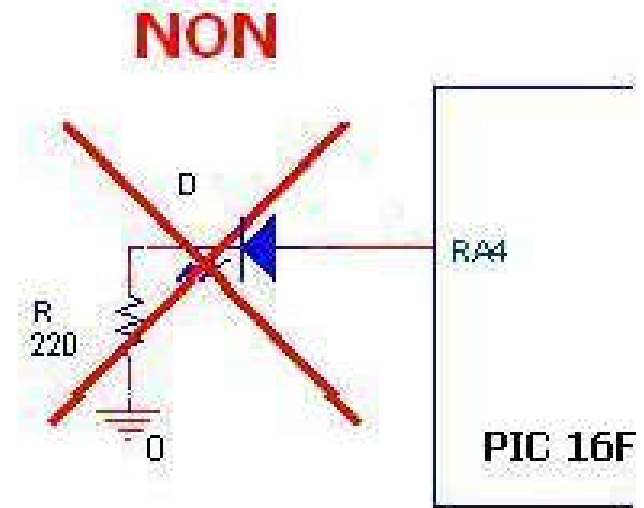
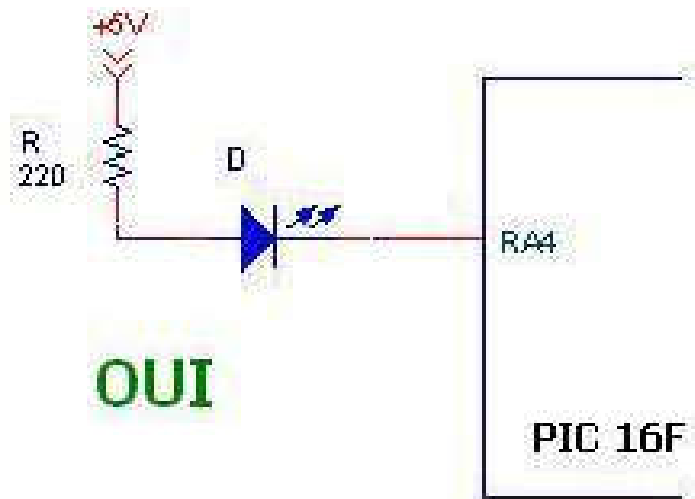
Note: I/O pins have protection diodes to VDD and Vss.

BLOCK DIAGRAM OF PINS RA3:RA0



Note: I/O pins have protection diodes to VDD and Vss.

Attention à ligne RA4 (Ligne Drain Ouvert)



La broche RA4 possède une sortie de type drain ouvert. Cela veut dire qu'elle ne peut pas fournir de courant. Par contre, elle peut en consommer

Les ports I/O

PORTA FUNCTIONS

Name	Bit0	Buffer Type	Function
RA0	bit0	TTL	Input/output
RA1	bit1	TTL	Input/output
RA2	bit2	TTL	Input/output
RA3	bit3	TTL	Input/output
RA4/T0CKI	bit4	ST	Input/output or external clock input for TMR0. Output is open drain type.

Legend: TTL = TTL input, ST = Schmitt Trigger input

SUMMARY OF REGISTERS ASSOCIATED WITH PORTA

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on Power-on Reset	Value on all other RESETS
05h	PORTA	—	—	—	RA4/T0CKI	RA3	RA2	RA1	RA0	---x xxxx	---u uuuu
85h	TRISA	—	—	—	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	---1 1111	---1 1111

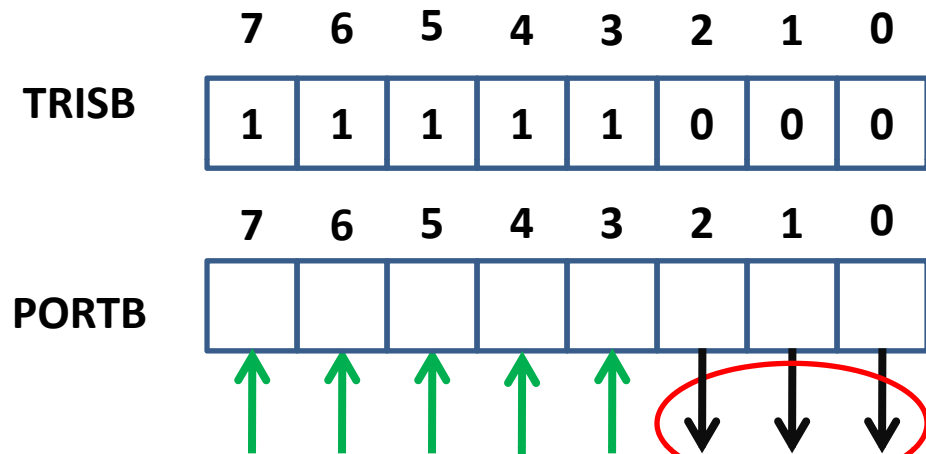
Legend: x = unknown, u = unchanged, - = unimplemented, read as '0'. Shaded cells are unimplemented, read as '0'.

Les ports I/O

- Le PORTB se trouve dans la BANK0 à l'offset 06 (ADR9 = 006h).
- Le TRISB se trouve dans la BANK1 à l'offset 06 (ADR9 = 086h).

	BANK0	BANK1	
03h	STATUS	STATUS	03h
04h	FSR	FSR	84h
05h	PORTA	TRISA	85h
06h	PORTB	TRISB	86h
07h	—	—	87h

Exemple de configuration du PORTB

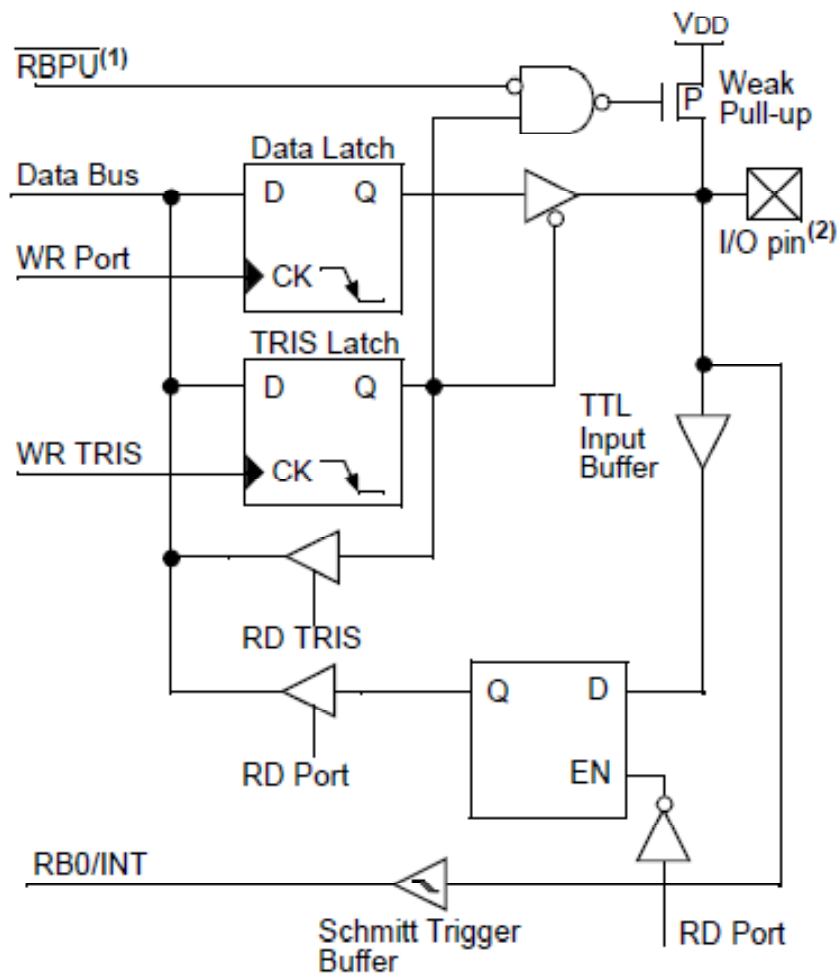


Les Lignes RB7:RB3 sont
en entrée

Les Lignes RB2:RB0 sont
en sortie

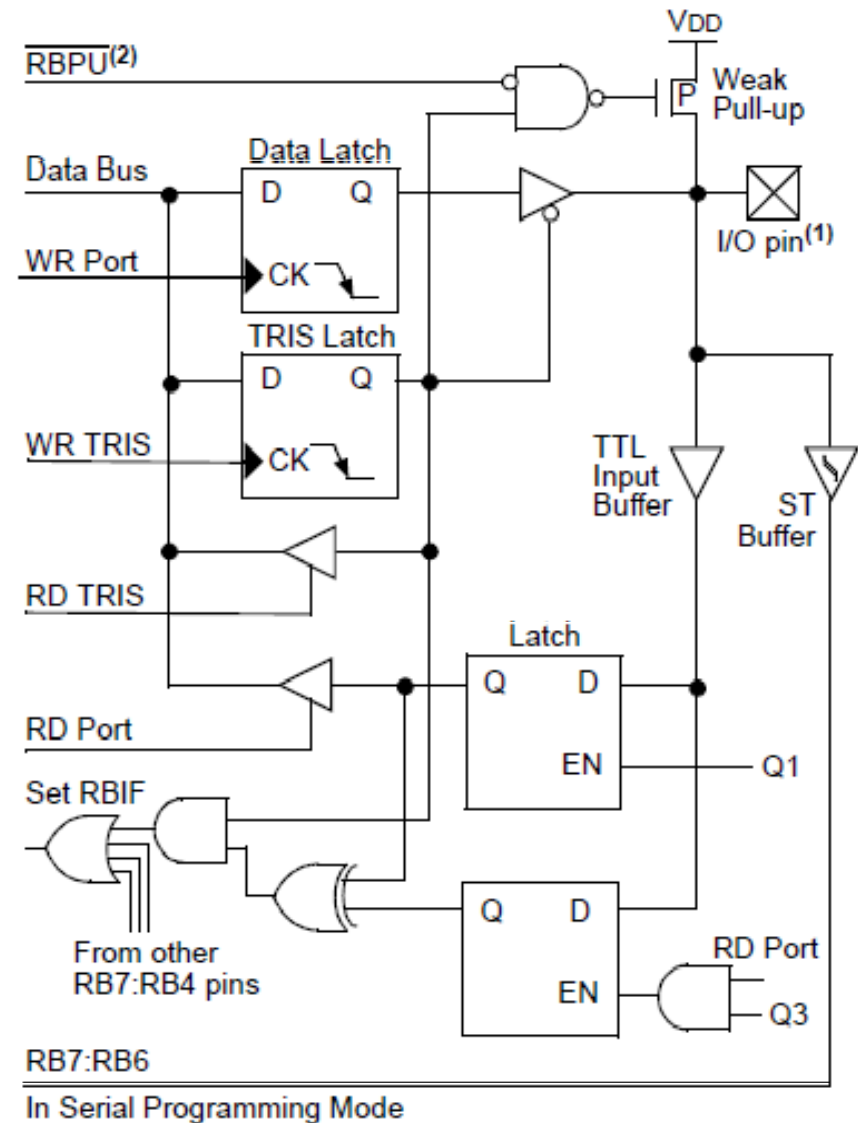
Les ports I/O

BLOCK DIAGRAM OF PINS RB3:RB0



- Note 1:** TRISB = '1' enables weak pull-up (if RBPU = '0' in the OPTION_REG register).
- Note 2:** I/O pins have diode protection to VDD and VSS.

BLOCK DIAGRAM OF RB7:RB4 PINS



RB7:RB6

In Serial Programming Mode

- Note 1:** I/O pins have diode protection to VDD and VSS.
- Note 2:** To enable weak pull-ups, set the appropriate TRIS bit(s) and clear the RBPU bit (OPTION_REG<7>).

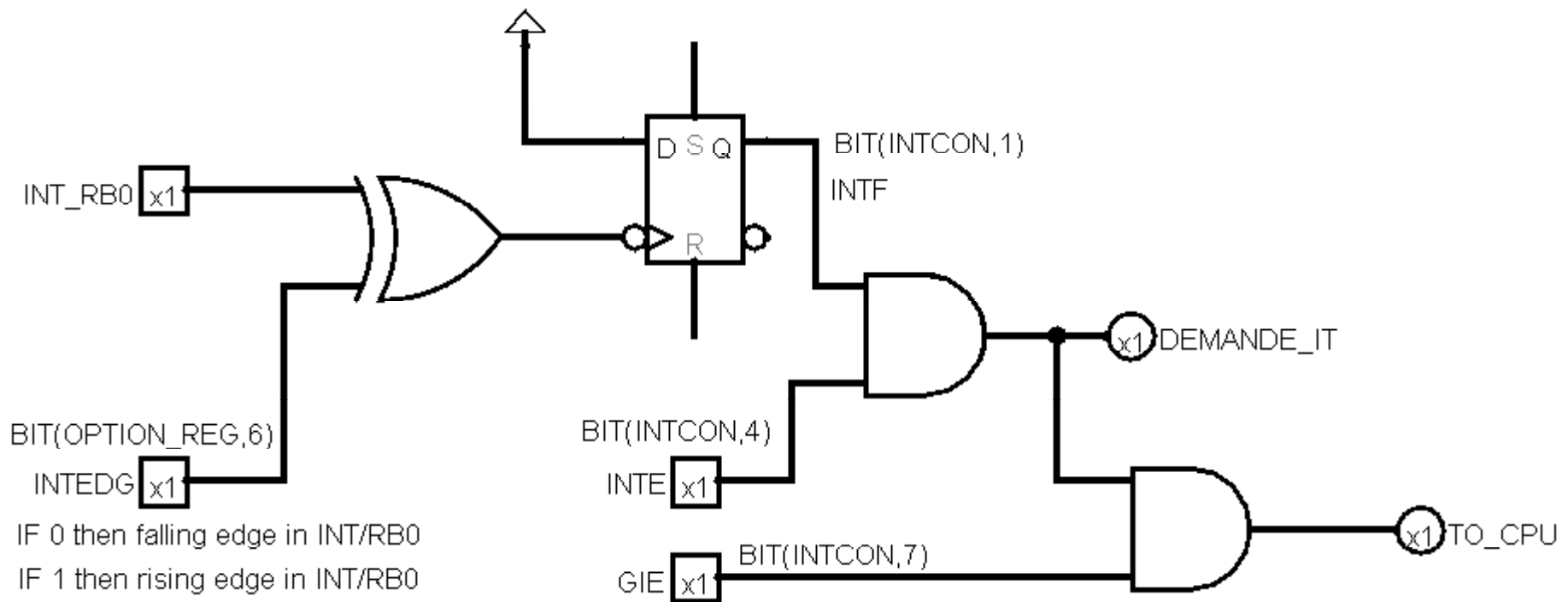
Les ports I/O

- D'après le diapo précédent, vous remarquez que si la pin est configurée en entrée, MICROCHIP donne une possibilité d'activer ou désactiver une résistance **PULL-UP** par le moyen du **bit 7 (RBPU)** de registre **OPTION_REG**.
 - $RBPU \leftarrow 1$: PULL-UP désactiver.
 - $RBPU \leftarrow 0$: PULL-UP activer.
 - ***N.B : la valeur du bit RBPU au RESET est « 1 », donc le PULL-UP est désactivé par défaut au démarrage.***

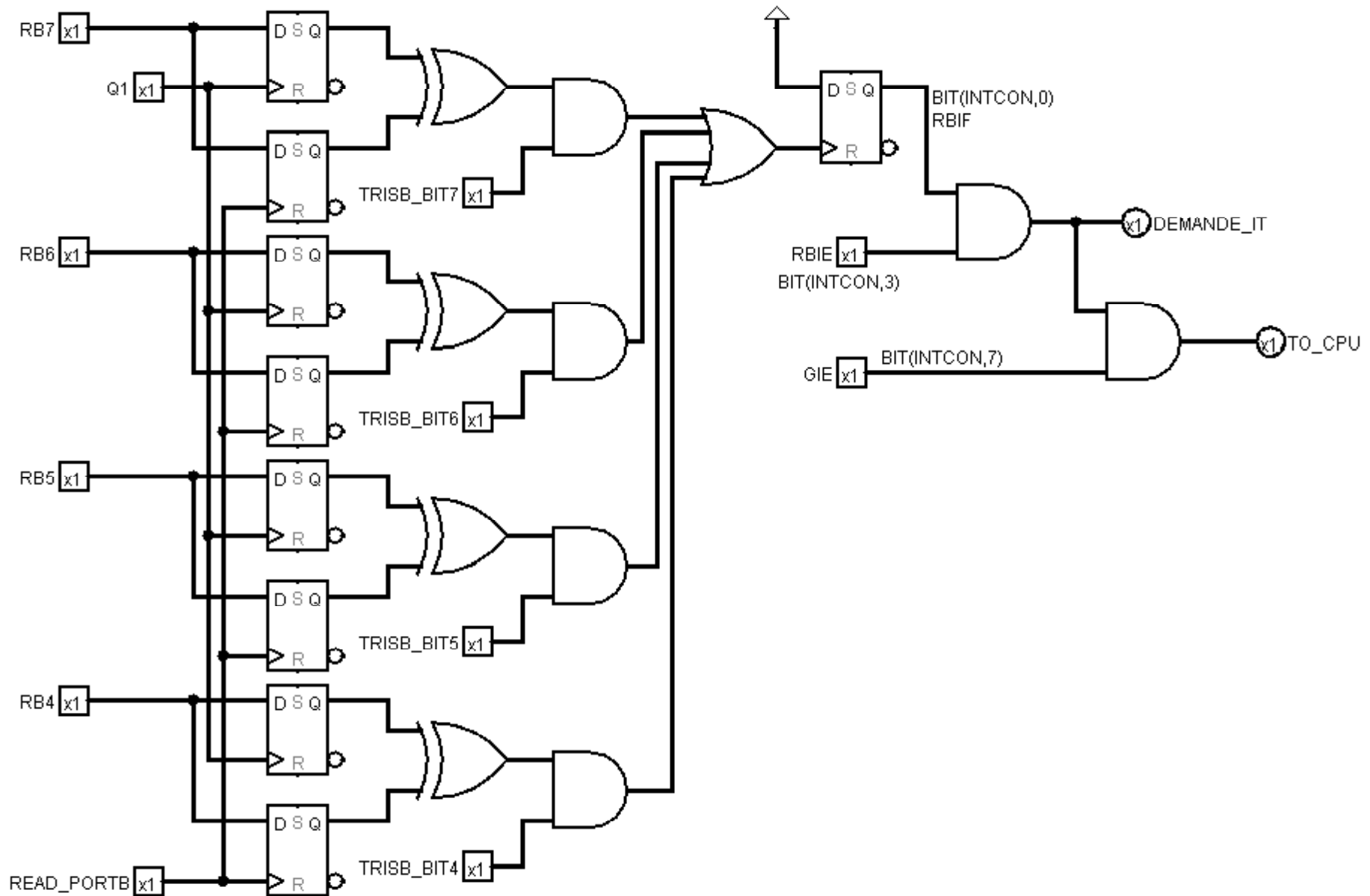
Les ports I/O

- Le PORTB est un port capable de générer deux demandes d'interruptions sont:
- Par une détection d'un franc (**EDGE**) sur la pin RB0/INT (**RISING** ou **FALLING** selon la configuration).
- Par un changement de l'état des pins RB7:RB4

Mécanisme de l'interruption INT/RB0



Mécanisme de l'interruption RB



Les ports I/O

PORTB FUNCTIONS

Name	Bit	Buffer Type	I/O Consistency Function
RB0/INT	bit0	TTL/ST ⁽¹⁾	Input/output pin or external interrupt input. Internal software programmable weak pull-up.
RB1	bit1	TTL	Input/output pin. Internal software programmable weak pull-up.
RB2	bit2	TTL	Input/output pin. Internal software programmable weak pull-up.
RB3	bit3	TTL	Input/output pin. Internal software programmable weak pull-up.
RB4	bit4	TTL	Input/output pin (with interrupt-on-change). Internal software programmable weak pull-up.
RB5	bit5	TTL	Input/output pin (with interrupt-on-change). Internal software programmable weak pull-up.
RB6	bit6	TTL/ST ⁽²⁾	Input/output pin (with interrupt-on-change). Internal software programmable weak pull-up. Serial programming clock.
RB7	bit7	TTL/ST ⁽²⁾	Input/output pin (with interrupt-on-change). Internal software programmable weak pull-up. Serial programming data.

Legend: TTL = TTL input, ST = Schmitt Trigger.

Note 1: This buffer is a Schmitt Trigger input when configured as the external interrupt.

2: This buffer is a Schmitt Trigger input when used in Serial Programming mode.

SUMMARY OF REGISTERS ASSOCIATED WITH PORTB

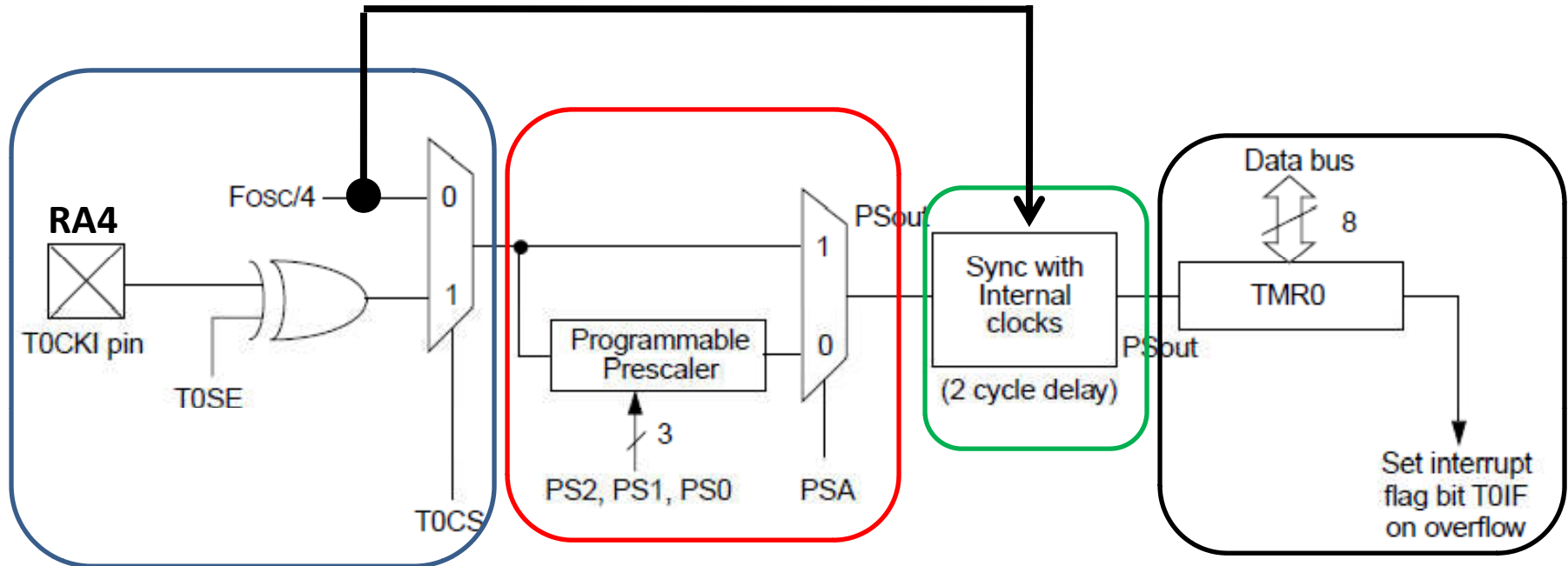
Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on Power-on Reset	Value on all other RESETS
06h	PORTB	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0/INT	xxxx xxxx	uuuu uuuu
86h	TRISB	TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0	1111 1111	1111 1111
81h	OPTION_REG	RBPu	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111
0Bh,8Bh	INTCON	GIE	EEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000u

Legend: x = unknown, u = unchanged. Shaded cells are not used by PORTB.

Le TIMER0

- C'est un module Temporisateur/compteur libre contient les caractéristiques suivantes:
 - Taille : 8bits
 - Accessible en lecture/écriture.
 - Pré-diviseur (PRESCALER) programmable sur 8bits
 - Source d'horloge sélective Interne/Externe.
 - Génère une interruption au moment de débordement (passage de 0xFF vers 0x00).
 - Franc d'incrémentation sélectif pour la source d'horloge externe.

Synoptique du TIMERO



CLOCK SOURCE

PRESCALER

SYNCHRONIZATION

**TMR0 REGISTER
And
TMR0 FLAG**

Structure de registre OPTION_REG

OPTION REGISTER (ADDRESS 81h)

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
RBPV	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0
bit 7							bit 0

bit 7

RBPV: PORTB Pull-up Enable bit

1 = PORTB pull-ups are disabled

0 = PORTB pull-ups are enabled by individual port latch values

bit 6

INTEDG: Interrupt Edge Select bit

1 = Interrupt on rising edge of RB0/INT pin

0 = Interrupt on falling edge of RB0/INT pin

bit 5

T0CS: TMR0 Clock Source Select bit

1 = Transition on RA4/T0CKI pin

0 = Internal instruction cycle clock (CLKOUT)

bit 4

T0SE: TMR0 Source Edge Select bit

1 = Increment on high-to-low transition on RA4/T0CKI pin

0 = Increment on low-to-high transition on RA4/T0CKI pin

bit 3

PSA: Prescaler Assignment bit

1 = Prescaler is assigned to the WDT

0 = Prescaler is assigned to the Timer0 module

bit 2-0

PS2:PS0: Prescaler Rate Select bits

Bit Value TMR0 Rate WDT Rate

000	1 : 2	1 : 1
001	1 : 4	1 : 2
010	1 : 8	1 : 4
011	1 : 16	1 : 8
100	1 : 32	1 : 16
101	1 : 64	1 : 32
110	1 : 128	1 : 64
111	1 : 256	1 : 128

Le TIMER0

- D'après le registre OPTION_REG, on peut diviser l'horloge de TMR0 sur 2 jusqu'à 256
- Le pré-diviseur est un registre sur 8 bits inaccessible ni en lecture/écriture.
- Le CPU MID-RANGE fait un effacement automatique de pré-diviseur si le registre TMR0 est la destination (**cette limite va créer un problème par la suite**).
- Si le TMR0 passe de la valeur 255 vers 0 (débordement), ce dernier génère une demande d'interruption pour informer le CPU que le cycle du comptage est terminé.

Le TIMER0

REGISTERS ASSOCIATED WITH TIMER0

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR, BOR	Value on all other RESETS
01h	TMR0	Timer0 Module Register								xxxxx xxxxx	uuuuu uuuuu
0Bh,8Bh	INTCON	GIE	EEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000u
81h	OPTION_REG	RBPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111
85h	TRISA	—	—	—	PORTA Data Direction Register					---1 1111	---1 1111

Legend: x = unknown, u = unchanged, - = unimplemented locations read as '0'. Shaded cells are not used by Timer0.